КИЕВСКИЙ ПОЛИТЕХНИЧЕСКИЙ ИНСТИТУТ

На правах рукописи

КИМ ЕН ХО
(КНДР)

УДК 681.3

СТРУКТУРНАЯ И АЛГОРИТМИЧЕСКАЯ ОРГАНИЗАЦИЯ КОНВЕЙЕРНОЙ ОДНОРОДНОЙ ВЫЧИСЛИТЕЛЬНОЙ СРЕДЫ.

Специальность 05.13.13. - Вычислительные машины, комплексы, системы и сети.

А В Т О Р Е Ф Е Р А Т
диссертации на соискание ученой степени кандидата технических наук

Киев - 1992

Работа выполнена в Киевском политехническом институте.

Научный руководитель: доктор технических наук, профессор Луцкий Г.М.

Официальные оппоненты: доктор технических наук, профессор Катков А.Ф.

кандидат технических наук, старший научный сотрудник Скорик В.Н.

Ведущая организация: Институт проблем информатики Украины

Защита состоится 23 ноября 1992 г. в 14.30 час. на заседании специализированного Совета Д 068.14.09 в Киевском политехническом институте, 252056, Киев-56, проспект Победы, 37.

С диссертацией можно ознакомиться в библиотеке Киевского политехнического института.

Автореферат разослан 23 октября 1992 г.

Ученый секретарь специализированного Совета, доктор технических наук О.В.Бузовский.

А Н Н О Т А Ц И Я

Целью диссертационной работы является повышение эффективности вычислений в конвейерной однородной вычислительной среде (КОВС) при решении систем линейных алгебраических уравнений.

Для достижения поставленной цели решаются следующие задачи:

- разработка базового элемента КОВС;
- разработка способов организации вычислений с минимальным числом транзитных операций пересылки;
- разработка ОВС, сочетающих в себе асинхронный и синхронный методы организации вычислительных прцессов;
- разработка ОВС, допускающих параллельно-последовательную организацию вычислений в неавтономнои и частично-автономном режимах вычислений;
- разработка и исследование архитектуры эффективной проблемно-ориентированной ОВС.

Автор защищает следующие основные положения и результаты:

1. Структуру базового элемента КОВС в автономном и полуавтономном режимах вычислений, основанного на знакоразрядной избыточной системе счисления и ориентированной на повышение эффективности вычислительной среды.
2. Алгоритмы вычислений в полуавтономном режиме.
3. Структуру КОВС.
4. Способы решения СЛАУ в автономном и полуавтономном режимах вычислений.
5. Способы настройки КОВС.

ОБЩАЯ ХАРАКТЕРИСТИКА РАБОТЫ.

А к т у а л ь н о с т ь т е м ы. Необходимость решения все более сложных фундаментальных и прикладных задач науки и техники постоянно обусловливает исследования в области построения высокопроизводительных вычислительных средств и методов организации параллельных вычислений. Большое внимание при этом уделяется таким эффективным способам повышения производительности как комплексирование средств в сложные многопроцессорные системы и сети, их специализации и проблемной

ориентации, оптимизации структуры технических и программных средств, применению параллельных и конвейерных методов вычислений, а также использованию нетрадиционных методов представления обрабатываемой информации и организации вычислений.

Очевидно, что нетрадиционные подходы в вычислительной технике, в том числе конвейерная организация вычислений в полуавтономном и неавтономном режимах особенно эффективны при построении проблемно-ориентированных высокопроизводительных вычислительных средств. Важное место среди них занимает неавтономная конвейерная однородная вычислительная среда, которая дает возможность как линейного увеличения производительности по мере роста числа процессорных элементов, так и возможность повышения производительности самого процессорного элемента.

Системное проектирование многопроцессорных вычислительных систем высокой производительности с интеграцией на кремниевые пластины связано с решением целого ряда важных проблем, основными из которых являются система коммутации, вопросы обмена, представление информации при обработке и передаче данных , выбор системы счисления, управление и синхронизация вычислительного процесса, модульность организации, размер и функции базового процессорного элемента, размещения задач, алгоритмическое обеспечение решаемых задач и т.д.

Предлагается структура базового процессорного элемента и конвейерной однородной вычислительной среды с данными процессорными элементами, которые позволяют повысить эффективность вычислений при решении ряда задач большой размерности.

Ключевыми здесь являются проблема поиска путей повышения производительности процессорного элемента, проблема структурной организации многочисленных процессорных элементов и проблема минимизации числа транзитных операций пересылки между активными элементами. Обмен информацией между процессорными элементами последовательными кодами или группами с ограниченным числом бит ведет к увеличению времени обмена, что особенно остро ставит вопрос о необходимости совмещения во времени передачи и обработки данных.

Полуавтономная обработка информации имеет целый ряд важных

преимуществ, которые позволяют существенно повысить эффективность вычислительной среды и предполагает поразрядное и полноразрядное поступление операндов и поразрядное вычисление очередных разрядов результата по мере формирования очередных цифр операндов, что дает возможность параллельной организации вычислений в автономных и процессорных элементах.

Предметом исследований диссертационной работы является архитектура конвейерной однородной вычислительной системы, предназначенной для реализации эффективных вычислительных алгоритмов решения задач линейной алгебры в автономном и неавтономном режиме.

Методы исследований. В диссертационной работе использованы теоретические положения и методы теории вычислительных систем и вычислительных процессов, теории конвейеризации, теории чисел, базовые положения линейной алгебры и общей алгебры, методы структурного проектирования вычислительных систем.

Научная новизна работы заключается в разработке методов и средств построения конвейерной однородной вычислительной среды для высокопроизводительной обработки информации при представлении чисел в знакоразрядной избыточной системе счисления и при организации вычислительных процессов в режиме совместной работы автономных и полуавтономных процессорных устройств.

Практическая ценность работы состоит в разработке структурных и алгоритмических методов построения конвейерной однородной вычислительной среды, которые могут быть использованы, например, для:

построения систолических и волновых структур для цифровой обработки сигналов;

создания широкого класса электронных устройств высокопараллельного действия;

решения задач распознавания образов и эмпирического предсказания в области радиолокации, гидроакустики, ядерной физики, геофизики, метеорологии, медицины, социологии и т.д.

реализации структурных моделей в автоматике.

Структура и объем работы. Диссертационная работа состоит из введения, четырех глав, заключения, списка литературы (65 наименований). Объем работы: 150 страниц, 45 рисунков и 2 таблицы.

В первой главе исследуются структурные и алгоритмические способы организации однородной вычислительной среды, в том числе мультитранспьютерной системы.

Во второй главе предложена структура базового процессорного элемента ОВС, разработаны алгоритмы выполнения алгебраических операций в автономном и полуавтономном режиме.

В третьей главе предложена структурная организация конвейерной однородной вычислительной среды, реализованной на базе новых процессорных элементов.

В четвертой главе описаны эффективные алгоритмы решения СЛАУ в КОВС.

СОДЕРЖАНИЕ РАБОТЫ

Неавтономная обработка информации имеет целый ряд важных преимуществ, которые позволяет существенно повысить эффективность мультипроцессорной вычислительной системы (МВС) и предполагает поразрядное поступление операндов и, соответственно, вычисление очередных разрядов результата по мере формирования очередных цифр операндов.

Сформулируем наиболее важные свойства неавтономных вычислений применительно к МВС.

Результаты вычислений формируются последовательно (поразрядно), начиная со старших разрядов (неавтономно); разряды результата передаются в другие процессоры для дальнейшей обработки немедленно (или после накопления группы цифр), что позволяет совместить во времени обработку и передачу информации.

Неавтономные процессоры могут иметь большое количество информационных входов, необходимых при аппаратной реализации многоместных макроопераций; при этом общее число информационных входов неавтономного процессора существенно меньше по сравнению с автономным процессором, который использует параллельные коды

представления операндов.

Разрядность исходных операндов и результатов вычислений может быть произвольной, длина разрядной сетки изменяется программно по ходу решения задачи.

Окончание вычислений отдельно взятым процессорным элементом или всей системой процессорных элементов происходит при достижении результата требуемой точности.

Итерационные процедуры, а также операции условного перехода могут быть выполнены неавтономно, что обеспечивает более полное распараллеливание вычислений итеративного типа.

Производительность МВС, реализованых на основе неавтономной обработки информации с увеличением числа процессорных элементов возрастает по закону, который близок к линейному.

При решении вопросов реализации неавтономных алгоримов вычислений возникает необходимость в дополнительных (по сравнению с реализацией автономных алгоритмов) аппаратурных затратах для формирования, хранения и учета корректирующих операндов , а также для выделения очередной цифры результата на основе анализа знаковых и значащих цифр частичных остатков. Кроме того, обобщенная процедура вычислений в неатономном режиме предполагает необходимость предварительного накопления α старших разрядов операндов, что сопряжено с соответствующими начальными задержками при выполнении арифметических операций.

При полуавтономном режиме вычислений один из операндов представляется параллельным кодом, а второй поступает последовательно, причем i-я цифра результата вычисляется до того как получена $(i + \alpha + 1)$-я цифра второго операнда, где α - задержка неавтономной работы.

Следует отметить, что с увеличением степени неавтономности вычислений уменьшаются аппаратурная избыточность и временные издержки, связанные с начальной задержкой неавтономных вычислений. Вместе с тем в полуавтономном режиме вычислений в большинстве случаев оказывается возможным сохранение существенных преимуществ неавтономного режима работы.

Предлагаемая структура представлена на рис.1, где УУ - устройство управления базового элемента (БЭ), ПКОУ - полуавтономное конвейерное операционное устройство, ААЛУ - автономное алгебраическо-логическое устройство, КМ -

коммутатор, ОЗУ1 и ОЗУ2 -модули внутренней памяти, соответственно, для работы ПКОУ и ААЛУ, ФА1 и ФА2 - формирователи адреса, ИН1 - интерфейс последовательных каналов связи, ИН2 - интерфейс внешней памяти, УЗИ1 и УЗИ2- управляющие звенья интерфейсов ИН1 и ИН2, УЗК - управляющее звено ПКОУ.

Данная структура БЭ отличается от других, главным образом, наличием операционных устройств, основанных на традиционном автономном и нетрадиционном полуавтономном режимах вычислений.

Организация вычислений в БЭ рассмотрена на примере вычисления выражения вида

$$\sum_{k=1}^{n} A_k \prod_{l=1}^{n-k+1} X_l Y_l^{-1}, \qquad (1)$$

вычисляемого в порядке, определяемом следующей формой его представления

$$((\ldots(A_1 \frac{X_1}{Y_1} + A_2) \frac{X_2}{Y_2} + \ldots + A_{n-1}) \frac{X_{n-1}}{Y_{n-1}} + A_n) \frac{X_n}{Y_n} \qquad (2)$$

Если в качестве элементарного оператора, многократное выполнение которого приводит к полному вычислению функции (2), выделить выражение

$$C_i = (C_{i-1} X_{i-1} + A_i)/Y_i, \qquad (3)$$

то вычисляемый процесс для многочлена (2) может быть представлен в виде n параллельных ветвей, а выполнение каждой i-й ветви в любой момент времени осуществляется на основе следующего алгоритма.

1. Начало, $k = 0$.
2. Вычислять $B_A^{i+1} = B_n^i / Y^i$.
3. Вычислять $B_n^{i+1} = B_A^{i+1} / X^{i+1} + A^{i+2}$.
4. $k = k + 1$.

5. Если $k \neq n$, то перейти на 2.

6. Конец.

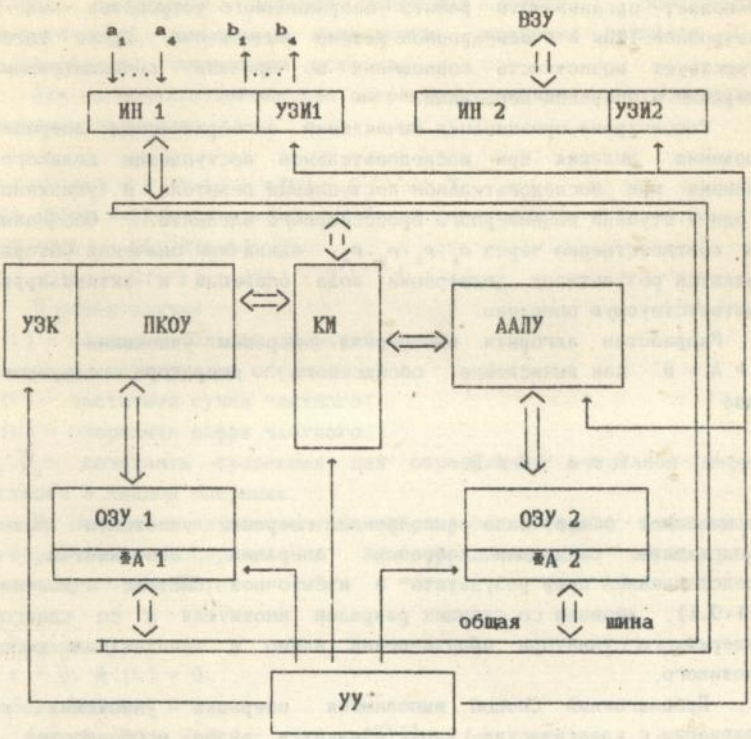

рис.1.

Между выходными данными автономного АЛУ и ПКОУ для буферизации выходных данных ААЛУ и выдачи их в ПКОУ необходимо буферная память основанная на принципе конвейера [First-in - First-Out] .

Буферное запоминающее устройство (БЗУ) имеет вид треугольника, в котором конвейерный регистр C_0 имеет один разряд, C_1 - два разряда, C_2 - три разряда и т.д.

Предложенная структура расширяет возможности эффективной реализации различных сложных и функционально зависимых операций и позволяет организовать работу операционного устройства как в синхронном, так и в асинхронном режиме вычислений. Кроме того, существует возможность совмещения во времени вычислительных операций и операций пересылки.

Рассмотрена организация вычислений алгебраических операций сложения, деления при последовательном поступлении делимого, деления при последовательном поступлении делителя и умножения в одной ступени конвейерного процессорного элемента. Обозначим их соответственно через $\rho_1, \rho_2, \rho_3, \rho_4$, единичные значения которых являются результатом дешифрации кода операции и активизируют соответствующую операцию.

Разработан алгоритм выполнения операции умножения $C = A \cdot B$ как вычисление обобщенного оператора следующего вида

$$C = A \cdot B / D.$$

В наиболее общем виде выполнение операции умножения можно представить следующим образом: операция выполняется с представлением цифр результата в избыточной системе счисления {-1,0,1}, начиная со старших разрядов множителя A со сдвигом содержимого сумматора произведений влево и неподвижным кодом множимого.

Предлагаемый способ выполнения операции умножения по сравнению с классическим характеризуется рядом особенностей:

- последовательное поступление цифр множителя старшими разрядами вперед;

- последовательное получение цифр результата, начиная со старшего разряда в системе счисления {-1,0,1};

- возможное выполнение всех суммирований (вычитаний), необходимых в ходе умножения, без сквозных переносов с помощью запоминания переносов в специальном регистре;

-преобразование очередных сумм частичных произведений, представленных в двоично-позиционной системе счисления, в цифры результата в системе счисления {-1,0,1}, на основе дополнительной операции деления частичного результата на искусственный делитель

D.

Так как конвейер организуется фронтальным образом, т.е. каждый процессорный элемент обладает однослойным КОУ, то алгоритм выполнения операции умножения должен обеспечить одновременное вычисление начального значения делителя D и очередного частичного остатка.

Для алгоритмов выполнений операций типичными соотношениями являются следующие:

а) $R'(t) = R'(t-1) + a(t) \cdot 2^{-t-1} \cdot X.$

б) $R(t) = 2R(t-1) + a(t) \cdot 2^{-\delta} \cdot X. - c(t)D$

в) $C(t) = S[\ 2R(t-1).\ D].$

г) $C(t) = C(t-1) + c(t) \cdot 2^{-t+\delta-1}$

В общем случае

$a(t)$ - последовательный операнд;

D - полноразрядный операнд;

$C(t)$ - частичная сумма частного;

$c(t)$ - очередная цифра частного;

$B_1 . B_2$ - константы сравнения для определения очередной цифры частного в каждой операции.

На основе этих соотношений сформирован алгоритм выполнения алгебраических операций в многофункциональном конвейерном процессорном элементе.

1. Начало.
2. $t = 0.\ R'(t) = 0.$
3. Если $0 \le t < \delta-1,$

   то $R'(t) = R'(t) + a(t) \cdot 2^{-t-1} \cdot (\rho_1 \vee \rho_2 \vee \rho_3 \vee \rho_4 \cdot D).$

   Если $t = \delta-1$ и $(\rho_1 \vee \rho_2 \vee \rho_4) = 1,$

   то $R'(t) = R'(t-1) + a(t) \cdot 2^{-t-1} \cdot (\rho_1 \vee \rho_2 \vee \rho_4 \cdot D).$

   Если $t = \delta-1$ и $\rho_3 = 1,$ то $C(t) = 0;$

   Если $\delta \le t < \delta+m$ и $\rho_3 = 1,$

   то $C(t) = C(t-1) + c(t) \cdot 2^{-t+\delta-1}$

   Если $\delta \le t < \delta+m,$

   то $R(t) = 2R(t-1) + c(t) \cdot (\rho_1 \vee \rho_2 \cdot D \vee (-\rho_3) \cdot R'(t) \vee \rho_4) +$
   $+ a(t)[\rho_1 \vee \rho_2 \vee \rho_3 \cdot c(t) \vee \rho_4 \cdot D] \cdot [(\rho_1 \vee \rho_2) \cdot 2^{-\delta-1} \vee$
   $(\rho_3 \vee \rho_4) \cdot 2^{-\delta}$

$C(t) = S[2R(t-1) \cdot (\rho_1 \vee \rho_2 \cdot D \vee \rho_3 \cdot R'(t) \vee \rho_4) \cdot B_1(\rho_i) B_2(\rho_i)]$.

Если $\delta \le t < m$, $\rho_3 = 1$

то $R'(t) = R'(t) + a(t) \cdot 2^{-t-1}$

4. $t = t + 1$.

Если $t = m+\delta$, то перейти на 6.

5. Перейти на 3.

6. Конец.

Одним из наиболее существенных аспектов построения ОВС на основе разработанных БЭ следует считать применение двухточечных каналов связи для соединения БЭ.

В схеме управления интерфейсом каналов существует регистр управляющего слова интерфейса (УСИ), который обеспечивает выбор для КОУ и ААЛУ входного и выходного адресов канала и выбор транзитного канала.

Применение двухточечных каналов для построения системы связи в ОВС имеет ряд преимуществ по сравнению с использованием шинной структуры межсоединений, обычно применяемой в мультипроцессорных системах. Так, разработка электрических схем систем связи с одним источником и одним адресатом (что требуется в случае двухточечных каналов) значительно проще, чем разработка подобных схем для шинной системы связи со многими адресатами. Пропускная способность системы связи, построенной на основе двухточечных каналов, не уменьшается с ростом числа БЭ в ОВС, как это имеет место для шинных структур мультипроцессорных систем при увеличении числа процессоров. Напротив, общая пропускная способность системы повышается с увеличением числа БЭ в ней. Кроме того, все БЭ имеют локальную память небольшой емкости, которую они могут использовать для организации взаимодействия между КОУ и между другими БЭ, и которая является более быстродействующей, чем общая память большей емкости, используемая обычно в многопроцессорных шинных структурах.

Как развитие мультитранспьютерных систем предлагается конвейерная однородная вычислительная среда (КОВС) сверхвысокой производительности с RISC - архитектурой и с рассмотренными в главе 2 базовыми процессорными элементами.

Основными устройствами КОВС являются:

группа процессорных элементов БЭ1...БЭn, которые имеют автономные АЛУ, полуавтономные КОУ, ОЗУ1 и ОЗУ2, обеспечивающие быстрый доступ к памяти в процессе вычислений и буферизующие промежуточные данные между двумя операционными устройствами;

КМС - коммутационная система, позволяющая подключить выходы БЭ к любым входам других БЭ;

общая шина, через которую осуществляется обмен данными информации о настройке и связи с системным устройством;

системное устройство (СУ), представляющее собой типовую ЭВМ, состоящую из входных и выходных устройств, общей памяти и процессора.

Системное устройство выполняет функции ввода-вывода, управления всей ВС и долговременного хранения больших массивов информации.

Объектная программа через магистраль (общую шину) загружается в группу БЭ, коммутационную систему и блоки памяти. По команде СУ все устройства системы начинают функционировать.

Вычислительная часть системы имеет децентрализованное, т.е. распределенное по всем блокам, управление, а следовательно, она может запускаться по частям, что позволяет совмещать различные режимы работы, такие как обработка данных, ввод, вывод.

Подобные однородные вычислительные системы имеют весьма высокую производительность, которая обеспечивается параллельной работой всех БЭ, использованием полуавтономного принципа вычислений в ОУ и внутренней памяти, совмещением вычислений и обмена информацией между БЭ при помощи последовательных каналов связи внутри БЭ.

Параллельная, т.е. одновременная работа всех БЭ обеспечивается коммутационной системой, позволяющей осуществлять параллельный обмен данными одновременно между всеми БЭ.

Рассматривается пять способов построения КОВС.

Первый - БЭ с передачей и обработкой данных в последовательных кодах.

Второй - с последовательной передачей и параллельной обработкой данных.

Третий - с параллельной передачей и обработкой.

Четвертый - с параллельной передачей и последовательно-параллельной обработкой.

Пятый - с последовательной передачей и последовательно-параллельной обработкой.

Первый вариант является предельным с точки зрения сложности, быстродействия и производительности. С организационной точки зрения этот вариант предельно прост. Для передачи каждого операнда требуется по одной шине, а функцию АУ выполняет однослойный полуавтономный конвейер, производительность которого обратно пропорциональна числу разрядов m.

Второй и третий варианты почти одинаковы по сложности, которая пропорциональна числу разрядов m, и по быстродействию, которое из-за длинной цепи переноса невысоко. Отличаются они тем, что второй вариант имеет простейшие входные и выходные шины данных и в связи с этим в два раза ниже призводительность по сравнению с третьим вариантом.

Самое широкое распространение в однопроцессорных ЭВМ и системах приобрел третий вариант. Однако по сравнению со вторым вариантом он имеет в m раз большее число выводов.

Четвертый и пятый варианты связаны с применением в ОУ ОКПИ. В случае четвертого варианта наблюдается достаточно высокая производительность, а сложность устройства пропорциональна количеству разрядов. Пятый вариант позволяет достичь высокой производительности за счет внедрения ОКПИ, а также обеспечивает совмещение обмена информацией вследствие применения принципа вычислений в знакоразрядной системе счисления, т.к. операнды поступают на входы ОУ базового элемента последовательным кодом, начиная со старших разрядов. За счет этого может быть достигнута высокая степень совмещения, а для больших разрядностей - почти полное совмещение, операций обмена и обработки информации.

Одним из главных отличий КОВС от КВС является обеспечение вохможности работы в асинхронном режиме. Когда БЭ работает в асинхронном режиме, должно использоваться дополнительное устройство, которое позволяет параллельно организовать обмен информацией и обработку данных в ОУ. Это устройство получает управляющий код из устройства управления БЭ, определяет адрес порта ввода-вывода и посылает запрос по этому адресу. После того, как получено подтверждение о готовности к приему, через интерфейс передаются данные или формируется сигнал о завершениобмена данными.

С расширением возможностей коммутаторов, т.е. с увеличением количества каналов связи и быстродействия коммутаторов, возрастают и возможности ОВС, связанные с выбором наиболее оптимальных структур для реализации заданных программных последовательностей. Однако построение быстродействующих коммутаторов с большим количеством каналов связи предполагает весьма значительные аппаратурные затраты.

Поскольку КОВС реализует параллельно-последовательный режим вычислений, целесообразно применять в коммутационной системе матрично-многоступенчатые коммутаторы. Для решения задач коммутации каждого проблемно-ориентированного конвейера используются многоступенчатые коммутаторы, множество которых образует матричную коммутационную систему.

Многоступенчатые коммутаторы реализуют обратные связи в конвейере, причем количество ступеней составляет $\log_2 n$, n - количество БЭ в одном конвейере. Очевидно, одновременно с увеличением $\log_2 n$ будет увеличиваться и время коммутации каждого канала связи, т.е. время реализации соединений, поскольку сложность каналов связи возрастает пропорционально $\log_2 m$. Реконфигурация соединений в конвейерах должна осуществляться в темпе работы этих конвейеров. При этом время пересылки данных из одного блока в другой будет определяться как $|\log_2 m| \cdot \tau$.

В случае определенной организации вычислений в конвейерных вычислительных средах, например, при работе только ПКОУ в каждом БЭ в синхронном режиме, имеется возможность избежать использования сложной системы коммутации обратных связей. При построении КОВС размерностью $m \times n$ сложность матричной коммутационной системы равна

$$C_м \approx k \cdot m \cdot n,$$

а сложность матрично-многоступенчатой коммутационной системы равна

$$C_м \approx k \cdot n \cdot \log_2 m.$$

Следовательно, при организации вычислений в КОВС для решении задач с периодически-определенным характером вычислений большее

преимущество имеют КОВС с матрично-многоступенчатой коммутационной системой. При этом снижается себестоимость системы и увеличивается скорость обработки данных за счет минимизации количества транзитных операций пересылки.

Рассмотрено использование предложенных алгоритмической и структурной организаций вычислений в КОВС для повышения эффективности ОВС при решении систем линейных алгебраических уравнений (СЛАУ).

Предлагаются линейные систолические алгоритмы решения СЛАУ методом простой итерации в КОВС.

При этом время нахождения решения СЛАУ (где A - невырожденная матрица размерности $n \times n$) итерационным методом на КОВС, состоящей из n БЭ, равно

$$T(n) = n + kn\ \tau, \qquad (4\text{-}7)$$

где k - количество итераций.

В линейно-циклической систолической структуре число транзитных операций пересылки X и B для одной итерации составит

$$n_T = 2(2n-1)/2 = 2n-1 .$$

В линейной систолической структуре число транзитных операций пересылки X и B для одной итерации равно нулю, однако при этом усложняется процедура упорядочения данных двух матриц и такой алгоритм эффективен только при решении двух СЛАУ с равными размерностями.

При больших значениях N и m в ОВС с ОПКОУ усложняется процесс обратной связи, и затрудняется практическое применение. Для решения этой проблемы предложен алгоритм решения СЛАУ методом разложения Халецкого в КОВС, состоящей из БЭ с однослойной ПКОУ. При этом использование ААЛУ и ПКОУ в БЭ позволяет сократить в 1.1-1.3 раза время вычисления и получить высокий коэффициент загрузки конвейера за счет сокращения времени простоя.

При условии, что $W_{бш}+W_{см} \ll O(n.m)$ и $n \gg m$ эффективность

ортогональной КВС при решении СЛАУ снижается по мере роста значений m и n пропорционально m^3 и $n^2 \cdot \log_2(n+1)$. А эффективность КОВС для решения СЛАУ методом простой итерации снижается по мере роста n и m пропорционально m^2 и $2kn^2$, где k - постоянная, зависящая от разрядности m, и при больших значениях n справедливо соотношение $2k << n$.

С учетом вышеизложенного, можно сделать вывод, что в случае решения СЛАУ итерационным методом данная КОВС в $O(\frac{m}{2k/n})$ раз более эффективна, чем ортогональная ВС.

ОСНОВНЫЕ РЕЗУЛЬТАТЫ РАБОТЫ.

1. Исследованы возможности применения полуавтономного конвейерного операционного устройства с автономным традиционным операционным устройством в вычислительной среде.

2. Предложена структура базового элемента КОВС и разработана архитектура проблемно-ориентированной КОВС для реализации вычислений СЛАУ.

3. Разработаны эффективные алгоритмы полуавтономного операционного устройства при совместной работе с автономным операционным устройством.

4. Разработаны алгоритмы решения СЛАУ в КОВС в синхронном и асинхронном режимах вычислений.

5. Проанализирована работа базового элемента, работающего в автономном и неавтономном режимах вычислений, которая обеспечивает повышение быстродействия обработки информации и возможность минимизации числа транзитных операций пересылки между базовыми процессорными элементами.

6. Развиты теоретические положения конвейерных преобразователей информации в автономном и неавтономном режимах вычислений для однородной вычислительной среды.

Подписано в печать 20.10.92г Формат 60x84/16
Бумага писчая. Усл.печ.л. 1,0. Тираж 100 экз.Заказ № 1595

Отпечатано ЦУОП ГНПП "Плодвинконсерв" г.Киев,Саксаганского,1