

КИЕВСКИЙ ПОЛИТЕХНИЧЕСКИЙ ИНСТИТУТ

На правах рукописи

ТКАЧЕНКО ВАЛЕНТИНА ВАСИЛЬЕВНА

УДК 681.325

МЕТОДЫ И СРЕДСТВА ПОВЫШЕНИЯ ЭФФЕКТИВНОСТИ ВЫЧИСЛИТЕЛЬНЫХ
СИСТЕМ ДЛЯ РЕШЕНИЯ ЗАДАЧ УПРАВЛЕНИЯ В РЕАЛЬНОМ ВРЕМЕНИ

Специальность 05.13.13 - Вычислительные машины,
комплексы, системы и сети.

А в т о р е ф е р а т
диссертации на соискание ученой степени
кандидата технических наук

КИЕВ - 1992



00819923 (W)

Робота виконана в Києвському політехнічному інституті

Научный руководитель
кандидат технических наук,
доцент Жабин В. И.

Официальные оппоненты: доктор технических наук,
профессор, Брюхович Е. И.
кандидат технических наук,
доцент, Щербина А. А

Ведущая организация - Институт проблем математических
машин и систем АН УССР

Защита состоится "21" декабря 1992 г. в 14³⁰ часов на
заседании специализированного Совета Д 068.14.09 в Киевском поли-
техническом институте (г. Киев, проспект Победы, 37, корп. 18,
ауд. 306).

Статьи на автореферат в двух экземплярах, заверенные печатью
учреждения, просим направлять по адресу: 252056, г. Киев - 56,
проспект Победы, 37, Ученому секретарю КПИ.

С диссертацией можно ознакомиться в библиотеке Киевского по-
литехнического института.

Автореферат разослан "16" ноября 1992 г.

Ученый секретарь
специализированного Совета
доктор технических наук,
профессор

О. В. Бузовский

А Н Н О Т А Ц И Я

Целью диссертационной работы является повышение производительности и надежности вычислительных средств для автоматических систем управления в реальном времени.

Для достижения цели решались следующие задачи.

1. Исследование и разработка методов быстрого обмена информацией в многопроцессорных вычислительных системах (МВС).
2. Разработка способов и средств повышения производительности МВС при реализации последовательно-параллельных алгоритмов.
3. Исследование и разработка способов повышения надежности и уменьшения времени восстановления вычислительных систем с резервированием.

Автор защищает следующие основные положения и результаты.

1. Способы организации МВС на одноклассовых процессорных блоках с распределенными средствами синхронизации процессов, позволяющие повысить производительность систем за счет уменьшения числа циклов обращения к системной магистрали при межпроцессорном обмене информацией.
2. Метод доступа процессоров к общему аппаратному ресурсу системы с использованием приоритетных дисциплин обслуживания, позволяющий повысить производительность МВС на одноклассовых процессорных модулях.
3. Способы и средства автоматического распараллеливания алгоритмов, позволяющие повысить производительность систем при реализации алгоритмов с последовательно-параллельной структурой.
4. Способы и средства резервирования МВС на одноклассовых модулях, обеспечивающие сокращение времени восстановления систем при отказах оборудования и уменьшение аппаратурной избыточности без снижения показателей надежности.

ОБЩАЯ ХАРАКТЕРИСТИКА РАБОТЫ

Актуальность темы. Расширение области применения систем автоматического управления и моделирования в реальном времени требует постоянного улучшения их характеристик. В связи с этим возрастают требования к производительности и надежности вычислительных средств, обеспечивающих решение задач управления.

Одно из наиболее перспективных направлений — одновременного обеспечения указанных противоречивых требований состоит в исполь-

АН УРСР

ровании МВС, которые построены на однотипных процессорных модулях. В этом случае увеличение числа процессорных модулей может обеспечить повышение проиаводительности систем. Это создает предпосылки для соадания типового ряда систем, обеспечивающих решение задач управления различной сложности. Повышение надежности МВС может быть достигнуто за счет реазервирования устройств системы. Уменьшение числа типов модулей дает возможность сократить аппаратную избыточность при их реазервировании.

Следовательно, разработка способов организации вычислительных средств на однотипных модулях является актуальной задачей, решение которой может обеспечить возможность соадания высокопроизводительных и надежных систем для решения задач управления в реальном времени.

Методы исследований бааируются на теории вычислительных систем, элементах теории графов, алгоритмов, надежности и массового обслуживания.

Научная новизна результатов диссертационной работы заключается в следующем.

1. Предложена методика учета непроизводительных затрат времени при обмене информацией в МВС, базирующаяся на расчете коэффициента полевого использования системной магистрали, являющегося элементом математической модели системы, и позволяющая осуществлять сравнительную оценку производительности систем.

2. Разработаны способы организации распределенных средств синхронизации процессов в МВС на однотипных процессорных модулях, позволяющие по сравнению с известными повысить производительность за счет уменьшения числа циклов обращения к системной магистрали при пересылке информации между процессорами.

3. На основе анализа приоритетных и бесприоритетных дисциплин обслуживания заявок процессоров на доступ к общему системному ресурсу предложена дисциплина обслуживания с динамическими приоритетами для распределенных арбитров, позволяющая повысить производительность МВС за счет уменьшения времени ожидания доступа.

4. Разработана модель вычислительного процесса с автоматическим распараллеливанием последовательно-параллельных алгоритмов, при реализации которой по сравнению с известными достигается уменьшение аппаратных затрат.

5. Предложены способы организации распределенных между процессорными модулями средств реазервирования и реконфигурации

систем, обеспечивающие по сравнению с известными повышение надежности и сокращение времени восстановления систем при отказах оборудования.

Практическая ценность. Предложенные способы построения МВС позволяют по сравнению с известными повысить надежность и производительность систем без увеличения аппаратурных затрат.

Достоверность теоретических результатов подтверждается доказательствами основных положений, выводов и рекомендаций, их экспериментальной проверкой, а также результатами внедрения.

Реализация результатов работы. Основные результаты работы внедрены в ПО "Киевский радиовод" при создании систем ЧПУ "МИКРОН-4" и "СЛАВУТИЧ-МВС". Использование результатов диссертационной работы позволило повысить надежность и производительность систем ЧПУ. Экономический эффект от внедрения составляет 31 тыс. руб.

Апробация работы. Основные положения работы докладывались и обсуждались на отчетной научной конференции профессорско-преподавательского состава, научных работников и аспирантов Киевского политехнического института (Киев, 1983 г., 1984 г., 1985 г., 1990 г.), на республиканском семинаре "Исследование и применение микропроцессорных средств при построении аппаратуры связи" (Славское, 1986 г.), "Микропроцессоры и микро-ЭВМ в контрольно-измерительной аппаратуре связи" (Киев, 1988 г.).

Публикации. По теме диссертации опубликовано 31 печатная работа, в том числе 28 авторских свидетельств и три отчета по НИР.

Структура и объем диссертации. Диссертационная работа состоит из введения, пяти глав и заключения, изложенных на 110 листах машинописного текста, содержит 56 рисунков, список литературы (124 наименования) и приложения.

Во введении обоснована актуальность темы, сформулированы цель, задачи исследования и основные положения, выносимые на защиту.

В первой главе определены особенности алгоритмов автоматического управления, выполнен сравнительный анализ эффективности различных структур МВС при реализации указанного класса алгоритмов и определены возможности повышения их эффективности.

Вторая глава посвящена вопросам повышения производительности МВС за счет уменьшения потерь времени при обмене информацией между процессорами.

В третьей главе предложены способы организации параллельной обработки информации в системах, обеспечивающие повышение производительности при решении траекторных задач.

В четвертой главе рассматриваются вопросы обеспечения заданной надежности систем. Предложены способы резервирования и реконфигурации, обеспечивающие уменьшение времени восстановления и сокращения аппаратных затрат.

Пятая глава посвящена вопросам технической реализации предложенных способов организации вычислительных процессов.

В заключении изложены основные результаты работы.

В приложении приведены документы о внедрении результатов работы в производство.

ОСНОВНОЕ СОДЕРЖАНИЕ РАБОТЫ

Процессы автоматического управления и моделирования в реальном времени могут быть реализованы путем последовательного выполнения шагов, называемых циклами управления. В каждом цикле осуществляется сбор информации о состоянии процесса, обработка информации и принятие решения о дальнейшей стратегии управления.

Для каждого процесса можно определить максимальную длительность цикла управления, превышение которой может привести к потере качества управления или к неуправляемости процесса. Таким образом, вычислительные средства систем управления должны обеспечить обработку информации за фиксированный промежуток времени, превышение которого недопустимо.

Проведен анализ широко применяемых на практике алгоритмов числового программного управления (ЧПУ) и моделирования процессов в реальном времени. Показано, что указанные алгоритмы имеют последовательно-параллельную структуру, то есть ярусно-параллельный граф таких алгоритмов содержит параллельные и последовательные участки. Алгоритмы характеризуются также полной или близкой к полной связностью графа, причем, характер обмена информацией между ветвями является преимущественно трансляционным и дифференциальным. При дифференциальном обмене осуществляется передача информации из каждой ветви в одну определенную ветвь, а при трансляционном - из одной ветви в несколько других. Конвейерно-параллельный обмен, обеспечивающий передачу информации только между соседними ветвями, встречается редко. При реализации алгоритмов находят широкое применение итерационные методы.

Показано, что при управлении быстрыми процессами, а также при большой точности вычислений, необходимую производительность могут обеспечить многопроцессорные вычислительные системы (МВС). Вычислительный процесс при реализации последовательно-параллельного алгоритма характеризуется чередованием шагов параллельной обработки информации в процессорах и обмена информацией между ними. Для обработки параллельных ветвей МВС должна обеспечивать возможность одновременного выполнения в разных процессорах различных команд над различными данными, то есть относиться к классу (MIMD).

Эффективность реализации параллельных ветвей в основном зависит от операционной системы, производительности и числа одновременно работающих процессоров, а эффективность обмена информацией определяется организацией коммутационной сети системы, которая в рассматриваемом случае должна наиболее эффективно обеспечивать полный граф межпроцессорных связей с преимущественно дифференциальным и трансляционным типами передач. С учетом этого выполнен сравнительный анализ систем с различной архитектурой на функциональном уровне с использованием модифицированного графического языка MSBI.

Показано, что для реализации рассматриваемого класса последовательно-параллельных алгоритмов наиболее эффективными среди систем типа МКМД являются централизованные системы с общей системной магистралью (СМ). Определена сравнительная эффективность различных способов обмена информацией (через общую и коммутационную память, с использованием семафоров, систем прерываний и т. д.). При межпроцессорном обмене время затрачивается не только на пересылку слов по системной магистрали, но и на другие непроизводительные расходы, в том числе, на инициализацию процедур обмена, синхронизацию процессов передачи массивов между разными процессорными блоками и т. д. Для учета непроизводительных затрат времени при обмене информацией введен коэффициент использования системной магистрали, который определяется по формуле

$$K_{CM} = N_{CM} / M, \quad (1)$$

где N_{CM} - количество обращений к системной магистрали, M - суммарное число передаваемых слов.

Коэффициент (1) позволяет оценить сравнительную эффективность способов обмена, абстрагируясь от быстродействия используемой элементной базы, частоты тактирования и других второстепенных

причин. Производительность систем определяется с учетом данного коэффициента, причем, с уменьшением коэффициента производительность увеличивается.

При использовании известных способов организации межпроцессорного обмена наименьшее значение коэффициента (1) достигается в системах, имеющих коммуникационную память (КП). В этом случае каждому процессорному блоку доступна, кроме своей локальной памяти, КП любого другого процессорного блока. Доступ со стороны i -го процессорного блока к коммуникационной памяти j -го процессорного блока осуществляется путем поочередного захвата системной магистрали и локальной магистрали j -го процессорного блока. Массив, который необходимо передать в другой процессорный блок формируется в КП. Управление передачей массива информации из КП одного процессорного блока в КП другого осуществляется одним процессором. Данную функцию выполняет специальный коммуникационный процессор. С увеличением объема передаваемой между процессорами информации K_{CM} в этом случае приближается к двум. Однако, наличие при таком способе обмена информацией различных типов процессоров приводит к дополнительным сложностям при резервировании устройств системы с целью повышения ее надежности.

Показана целесообразность разработки методов модульного построения многопроцессорных вычислительных систем, обеспечивающих одновременно высокую производительность и надежность. Увеличение производительности в этом случае может быть достигнуто увеличением количества процессоров. В свою очередь, наличие однотипных модулей упрощает задачу резервирования аппаратуры для повышения надежности систем.

В работе предлагаются способы организации МВС на однотипных процессорных модулях, позволяющие осуществлять межпроцессорный обмен без использования других управляющих модулей и, кроме того, повысить эффективность обмена за счет совмещения процедур пересылки данных между процессорами и инициализации этих процедур.

Обмен данными осуществляется при централизованном управлении одним процессорным блоком, который на шаге обмена переключается в режим коммуникационного процессора. Особенность такого режима заключается в том, что процессор обеспечивает пересылку информации между блоками КП двух других процессоров и одновременно с этим выполняет вспомогательные действия, связанные с подсчетом числа передаваемых слов, подготовкой начальных адресов массивов и

т. д. Для обеспечения такого режима работы в состав процессора вводится ретранслятор управляющих сигналов. Назначение ретранслятора состоит в выработке сигналов, которые необходимы для реализации циклов обращения к СМ, используя аналогичные сигналы, формирующиеся на локальной магистрали (ЛМ) в процессе выполнения процессором вспомогательных операций. Для построения ретранслятора управляющих сигналов требуется только несколько логических элементов, что составляет незначительный процент всего оборудования процессорного блока. Данный способ обмена обеспечивает такой же коэффициент (1), как и в случае применения коммуникационного процессора, то есть позволяет без снижения скорости межпроцессорного обмена информацией исключить из системы один тип модулей (коммуникационный процессор).

Предложен способ децентрализованного обмена. В данном случае передача данных осуществляется непосредственно между каждым двумя процессорными блоками без участия управляющего (коммуникационного) процессора. Один процессорный блок выполняет функции источника информации, а второй - приемника. При увеличении числа передаваемых слов среднее число обращений к СМ в данном случае стремится к предельному значению (один захват магистрали для передачи одного слова).

Показана возможность сокращения непроизводительных затрат времени, связанных с синхронизацией процессов для систем с фиксированной длительностью цикла управления. Указанный режим работы является характерным, например, для многочисленного класса систем ЧПУ. Коэффициент использования СМ в данном случае практически не зависит от длины передаваемых массивов. При централизованном обмене он равен 2, а при децентрализованном - 1.

Разработанные способы межпроцессорного обмена обеспечивают по сравнению с известными сокращение числа обращений к СМ, то есть уменьшить время пересылки одного и того же объема информации. Это, в свою очередь, уменьшает непроизводительные затраты времени процессорами в результате ожидания доступа к магистрали, что приводит к повышению производительности систем.

Дальнейшее повышение эффективности обмена информацией состоит в уменьшении длительности цикла обращения к магистрали. Кроме очевидного подхода - применения быстродействующей элементной базы, в данном случае можно использовать различные структурные способы. Значительная часть времени при обращении к магистрали

затрачивается на реализацию процедур арбитража. В работе выполнен анализ приоритетных и бесприоритетных дисциплин обслуживания заявок процессоров на доступ к СМ с использованием централизованных и распределенных арбитров. Определены преимущества и недостатки различных дисциплин обслуживания и систем арбитража, выявлены возможности уменьшения среднего времени ожидания доступа. Предложена дисциплина обслуживания заявок, базирующаяся на использовании динамических приоритетов процессоров. Реализация указанной дисциплины в распределенных арбитрах позволяет использовать в системах однотипные процессорные модули и уменьшить среднее время ожидания процессорами доступа к СМ в 1,2 - 2 раза.

Задача подготовки алгоритмов для МВС является весьма сложной и должна решаться с учетом одновременной минимизации времени на выполнения параллельных ветвей программы и на обмен информацией между процессорами. Выигрыш в скорости вычислений за счет распараллеливания алгоритмов сопряжен с возрастанием времени межпроцессорного обмена, то есть распараллеливание целесообразно осуществлять до определенного предела.

При разработке программ для систем ЧПУ обычно используется принцип разделения функций между несколькими процессорами. Каждый процессор решает свои задачи реального времени, которые связаны с определенной группой зависимых координат, по которым осуществляется управление. Это дает возможность максимально уменьшить число пересылок информации между процессорами.

В структуре цикла управления большой промежуток времени занимает решение траекторных задач (в ряде случаев до 80%), что объясняется большим объемом вычислений (определяются параметры траектории движения с использованием интерполяции, производится расчет и коррекция эквидистанты, управление контурной скоростью и т. д.). В связи с этим уменьшение цикла управления наиболее эффективно может быть достигнуто за счет повышения производительности систем при решении таких задач.

Алгоритмы реализации рассматриваемого класса задач имеют итерационный характер и плохо распараллеливаются (содержат малое число параллельных ветвей и, кроме того, каждая ветвь имеет небольшую длину). В связи с этим в МВС много времени затрачивается на обмен информацией с использованием процедур захвата СМ. Кроме того, при использовании методов динамического диспетчирования большую задержку вносит операционная система.

В работе рассмотрены различные подходы повышения производительности систем при решении траекторных задач. Один из них базируется на использовании в составе систем быстродействующих специализированных вычислительных средств, являющихся общим системным ресурсом. При использовании общего вычислительного ресурса возможен комбинированный метод вычислений, при котором часть функций выполняет процессорный блок программно, а другая часть реализуется аппаратно с помощью быстродействующего специализированного вычислителя (СВ).

При комбинированном способе вычислений процессорные блоки для решения фрагмента определенной задачи затрачивают время

$$T_{\text{КС}} = t_{\text{обм}} + t_{\text{дсм}} + t_{\text{ус}} + h T_{\text{СВ}},$$

где $t_{\text{обм}}$ - время обмена информацией с СВ (загрузка данных, команд и чтение результата); $t_{\text{ус}}$ - временные затраты на установку связи с СВ; $t_{\text{дсм}}$ - затраты времени на доступ к системной магистрали; $T_{\text{СВ}}$ - время вычислений в СВ.

Коэффициент h изменяется в пределах $0 \leq h \leq 1$. Он учитывает возможность совмещения вычислений в СВ с обработкой информации в процессорных блоках.

Предложен способ взаимодействия процессоров с общим аппаратным ресурсом системы, обеспечивающий по сравнению с известными способами повышение производительности за счет разгрузки СВ при установке связи, уменьшение времени доступа к магистрали и совмещение обработки информации в различных устройствах системы.

Другой подход к повышению эффективности систем при решении траекторных задач состоит в использовании аппаратных средств динамического распараллеливания алгоритмов и уменьшении потерь времени при обмене информацией между устройствами.

Рассматривается задача динамического диспетчирования при следующих условиях. На вход системы, содержащей несколько операционных устройств (коллектив вычислителей), поступает поток требований на выполнение операторов из множества $\{M_1, M_2, \dots, M_n\}$. Для каждого M_i указано время T_i , в течение которого данное требование должно быть обслужено. Поток требований соответствует стационарному или нестационарному распределению, характеристики которого заранее неизвестны. В каждый момент времени может иметь место некоторое количество свободных от выполнения заданий опера-

ционных устройств. Распределение операторов на ожидающие требования операционные устройства должно производиться с учетом временных ограничений T_1 .

Выполнен анализ различных способов распараллеливания. Показано, что в данном случае является эффективным механизм распараллеливания, базирующийся на управлении вычислительным процессом со стороны потока данных.

Разработана модель вычислений, управляемых потоком данных, при реализации которой, в отличие от известных моделей, для подготовки информации к обработке в вычислительных блоках не требуется больших затрат времени и сложного оборудования.

Программа в данном случае представляется графом, вершинами которого являются функциональные операторы (акторы), а дугами - данные.

Формально каждый актер может быть представлен множеством

$$L_1 = \{K, F, \bar{I}, P\},$$

где, K - тип информации; F - функция действия актора; \bar{I} - множество имен акторов (собственное и последующих); P - признаки операндов. Данные (операнды) D_1 представляются множеством

$$D_1 = \{K, N, \bar{I}, P\},$$

где N - значение операнда.

Система реализует определенное множество акторов $L = \{L_1\}$, среди которых имеются акторы, обеспечивающие преобразование информации, модификацию или удаление данных. Акторы активизируются данными. При наличии необходимого числа операндов актер в идеальном случае немедленно выполняется, генерируя выходные данные, которые в свою очередь могут активизировать следующий актер.

Упрощение аппаратурных средств потоковых систем осуществляется за счет учета специфики режимов их работы в контуре управления:

- до начала выполнения цикла управления известны все реализуемые в этом цикле алгоритмы;
- в цикле управления для каждой группы зависимых координат алгоритмы (управления, интерполяции и др.) выполняются только один раз и только для одного набора исходных данных;
- результат выполнения каждого алгоритма (значение координат, величина управляющего воздействия и т. д.) используется до начала его очередного выполнения.

Указанная специфика реализации алгоритмов не допускает наличия в системе различных данных с одинаковым именем в течение одного цикла. Это создает предпосылки к упрощению механизма активации акторов и, в частности, проверки условия готовности i -го актора, которое имеет вид:

$$M_i^A = M_i^D \& M_i^R,$$

где M_i^D - условие готовности данных; M_i^R - условие готовности ресурсов для i -го актора.

Предложена структура потокового процессора, который обеспечивает автоматическое распараллеливание операторов между вычислительными блоками (без использования программных средств) и может быть построен в виде компактного модуля. Показано, что при реализации определенных алгоритмов интерполяции применение потоковой модели вычислений позволяет сократить время вычислений более, чем в 1,5 раза.

Выполнен сопоставительный анализ различных способов повышения производительности систем, показана область их эффективного использования.

Рассмотрены вопросы обеспечения заданной надежности МВС с общей магистралью и потоковых процессоров за счет введения средств резервирования. Надежность резервируемых систем связана с понятием отказа, под которым понимается уход какого-либо параметра за пределы, заданные техническими условиями. Соответственно наработка на отказ трактуется как наработка на спад параметра ниже заданного уровня.

Для обеспечения функционирования систем при отказах предусматривается комплекс аппаратных и программных средств. Такой комплекс обеспечивает контроль состояния системы, диагностику отказов, реконфигурацию системы (локализацию отказавшего узла и его замену работоспособным или перераспределение ресурсов), восстановление функций системы.

Показано, что с точки зрения сокращения оборудования целесообразно использовать скользящее резервирование. Однако, при таком способе резервирования возникают дополнительные затраты времени на восстановление (по сравнению с общим и поэлементным резервированием) из-за необходимости подключения резерва в различные точки системы. Это, в свою очередь, требует реализации более сложных алгоритмов голосования, реконфигурации, перезапуска и

инициализации системы.

Предложены комбинированные (программно-аппаратные) способы реконфигурации систем, которые позволяют по сравнению с программными способами значительно ускорить процесс восстановления за счет уменьшения времени голосования для принятия решения, причем допускается возможность изменения стратегии голосования. По сравнению с известными аппаратными способами в данном случае повышаются функциональные возможности и надежность за счет обеспечения работоспособности системы при одновременном выходе из строя как подчиненных так и управляющего процессора. При этом не требуется также использования дополнительных типов модулей, управляющих реконфигурацией, поскольку функции восстановления системы распределены между процессорными блоками.

В работе показаны примеры построения на одноплатных процессорных модулях систем ЧПУ различного класса (в том числе внедренных в производство), имеющих высокие технические и экономические показатели за счет использования разработанных способов организации вычислительных средств.

ОСНОВНЫЕ РЕЗУЛЬТАТЫ РАБОТЫ

1. Проведен анализ эффективности использования различных структур многопроцессорных вычислительных систем для реализации алгоритмов автоматического управления процессами в реальном масштабе времени, определены возможности повышения производительности и надежности систем.

2. Разработаны способы организации МВС на одноплатных процессорных модулях, позволяющие по сравнению с известными повысить производительность систем за счет уменьшения числа циклов обращения к системной магистрали при пересылке информации между процессорами.

3. Предложен метод доступа к общему системному ресурсу, позволяющий в системах на одноплатных процессорных модулях ускорить процедуры обмена информацией за счет уменьшения среднего времени ожидания доступа.

4. Предложены способы уменьшения потерь времени при использовании процессорами общего специализированного вычислительного ресурса, что позволяет по сравнению с известными техническими решениями повысить производительность МВС при решении траекторных задач.

5. Разработан аппаратный способ автоматического распараллеливания процессов при реализации последовательно-параллельных алгоритмов за счет использования модели вычислений, управляемых потоком данных, который по сравнению с известными способами обеспечивает уменьшение аппаратных затрат и повышения надежности систем.

6. Разработаны способы построения МВС на однотипных модулях с распределенными средствами реконфигурации, обеспечивающие по сравнению с известными повышение надежности при равных аппаратных затратах и сокращение времени восстановления систем при отказах оборудования.

7. Разработаны и внедрены в производство вычислительные средства для систем ЧПУ, подтвердившие на практике высокие технические и экономические показатели, в том числе высокую производительность и надежность, которые достигнуты благодаря использованию предложенных способов организации вычислительных средств.

Основные результаты диссертации отражены в следующих публикациях:

1. Авт. свид. СССР N1524063, МКИ G06 F 15/16,11/00. Мультипроцессорная система /В. И. Жабин, Г. В. Гончаренко, В. В. Ткаченко (СССР). - N4308768/24-24; Заявл. 24.09.87; Опубл. 23.11.89, Бюл. N 43// Открытия. Изобретения. - 1989.

2. Авт. свид. СССР N1571606, МКИ G06 F 15/16. Устройство для сопряжения процессоров с общей шиной мультипроцессорной системы / В. И. Жабин, Г. В. Гончаренко, В. В. Макаров, В. И. Савченко, В. В. Ткаченко (СССР). - N4473002/24-24; Заявлено 11.08.88; Опубл. 15.06.90, Бюл. N22// Открытия. Изобретения. - 1990.

3. Авт. свид. СССР N1709330, МКИ G06 F 15/16. Многопроцессорная система /В. И. Жабин, В. И. Савченко, В. Е. Ишутин, Г. В. Гончаренко, В. В. Ткаченко (СССР). - N4784455/24; Заявлено 18.01.90; опубл. 30.01.92, Бюл. N4//Открытия. Изобретения. - 1992.

4. Авт. свид. СССР N974411, МКИ G11 C 9/00. Буферное запорное устройство/В. И. Вешняков, И. П. Дробяко, В. И. Жабин, В. И. Корнейчук, Л. С. Кениг, В. П. Тарасенко, В. В. Ткаченко (СССР). - N2888285/18-24; Заявлено 27.02.80; Опубл. 15.11.82, Бюл. N42//Открытия. Изобретения. - 1982.

5. Авт. свид. СССР N1016779, МКИ G06 F 7/38. Вычислительное устройство/Л. В. Вариченко, В. И. Жабин, З. Д. Коноплянко, В. И. Корней-

чук, М. А. Раков, А. И. Селезнев, В. П. Тарасенко, В. В. Ткаченко (СССР). - N3368503/18; Заявлено 02.11.81; Опубли. 07.05.83, Бюл. N17//Открытия. Изобретения. - 1983.

6. Авт. свид. СССР N1242937, МКИ G06 F 7/548. Цифровой преобразователь координат/ Л. В. Вариченко, В. И. Жабин, В. И. Корнейчук, М. А. Раков, В. В. Макаров, В. П. Тарасенко, В. В. Ткаченко (СССР). - N3845069/24-24; Заявлено 12.12.84; Опубли. 07.07.86, Бюл. N25// Открытия. Изобретения. - 1986.

7. Авт. свид. СССР 1605239, МКИ G06 F 11/28. Устройство для контроля микропроцессорной системы/ В. В. Васильев, Г. В. Гончаренко, В. И. Жабин, В. В. Ткаченко и др. (СССР). - N4484311/24-24; заявлено 05.08.88; опубли. 07.11.90; Бюл. N41// Открытия. Изобретения. - 1990.

8. Авт. свид. СССР N1617445, МКИ G06 F 15/31. Устройство для вычисления многочленов/ В. И. Жабин, В. В. Макаров, В. И. Кожевников, В. В. Ткаченко(СССР). - N4612870/24; Заявлено 02.12.88; Опубли. 30.12.90; Бюл. N48//Открытия. Изобретения. - 1990.

9. Авт. свид. СССР N1683039, МКИ G06 F 15/76, 15/16. Устройство обработки данных для многопроцессорной системы/ В. В. Васильев, В. И. Жабин, В. И. Савченко, В. В. Макаров, В. В. Ткаченко (СССР). - N4653165/24; заявлено 24.11.88; опубли. 07.10.91; Бюл. N37 //Открытия. Изобретения. - 1991.

10. Авт. свид. СССР N1709331, МКИ G06 F 15/16; 15/80. Вычислительная система/ В. И. Жабин, Г. В. Гончаренко, В. В. Ткаченко (СССР). - N4797732/24; заявлено 28.02.90; опубли. 30.01.92, Бюл. N4// Открытия. Изобретения. - 1992.

11. Авт. свид. по заявке N 4847776/24(074547). МКИ G06 F 15/16; Устройство обработки данных/Жабин В. И., Васильев В. В., Ткаченко В. В. и др. Заявлено 05.06.90.

12. Авт. свид. по заявке N 4827609/24(066546). МКИ G06 F 15/16; Многопроцессорная система/Жабин В. И., Дорожкин В. Н., Ткаченко В. В. и др. Заявлено 26.05.90.

13. Авт. свид. по заявке N 4827054/24(065706) МКИ G06 F 15/16. Многопроцессорная система/Жабин В. И., Савченко В. И., Дорожкин В. Н., В. В. Ткаченко и др. Заявлено 20.04.90.

14. Авт. свид. по заявке N4867678/24(096324). МКИ G 06 F 15/16; 15/80. Вычислительная система/Жабин В. И., Гончаренко Г. В., Ткаченко В. В. Заявлено 05.01.91.

15. Авт. свид. по заявке N 4918384/24(021319). МКИ G06 F

15/16; 15/80. Вычислительная система/Жабин В. И., Кожевников В. И., Ткаченко В. В. Заявлено 15.02.91.

16. Авт. свид. по заявке N 4942893/24(046910). МКИ G06 F 15/16; 15/80. Устройство обработки информации/Жабин В. И., Гончаренко Г. В., Ткаченко В. В. Заявлено 10.06.91.

17. Городний А. В., Сосновчик Е. Н., Ткаченко В. В. Модуль ЗУ. Вестник КПИ, N15. - 1978.

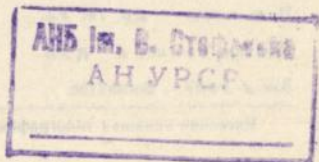
18. Городний А. В., Сосновчик Е. Н., Ткаченко В. В. Буферное ЗУ. Вестник КПИ. N16. - 1979.

19. Разработка вычислительных средств на базе микропроцессоров для систем числового программного управления: Отчет по НИР (промежуточный)/Киевский политехнический институт; Руководитель В. И. Жабин. - No ГР 01830078443; Инв. No 02860106522. - Киев, 1986. - 156 с. - Исполн. Ткаченко В. В. и др.

20. Разработка вычислительных средств на базе микропроцессоров для систем числового программного управления: Отчет по НИР (заключительный)/ Киевский политехнический институт; Руководитель В. И. Жабин. - No ГР 01830078443; инв. No 02890031296. - Киев, 1989. - 253 с. - Исполн. Ткаченко В. В. и др.

21. Разработка аппаратных средств для выполнения многоместных операций: Отчет по НИР(заключительный)/Киев. политехн. ин-т; Руководитель В. И. Жабин. - No ГР 810481.51; Инв. N 02840002362. - Киев, 1983. - 158 с. ил., -Исполн. В. В.Ткаченко и др.

В. В. Ткаченко



Подп. к печ. 20. 10. 92 Формат 60 × 84 $\frac{1}{4}$ Бумага Тин №2
Печ. офс. Усл. печ. л. 0,93 Уч.-изд. л. 0,65 Тираж 100.
Зак. 2-3401 . Бесплатно.

Киевская книжная типография научной книги. Киев, Репина, 4.

469132

AB 26.208