

ХАРЬКОВСКИЙ ПОЛИТЕХНИЧЕСКИЙ ИНСТИТУТ

На правах рукописи

Окомби Салисса Андре

ИССЛЕДОВАНИЕ И РАЗРАБОТКА  
АССОЦИАТИВНЫХ ЗАПОМИНАЮЩИХ  
УСТРОЙСТВ И ПРОЦЕССОРОВ

05.13.05 - элементы и устройства вычислительной  
техники и систем управления

Автореферат диссертации на соискание ученой степени  
кандидата технических наук

Харьков - 1992

06-26.52

Работа выполнена на кафедре автоматики и управления в технических системах Харьковского политехнического института.

ЛНБ України ім. В. Стефаніка  
00825614 (Q)

- Научный руководитель - доктор технических наук, профессор Дербунович Л. В.
- Официальные оппоненты:
  - доктор технических наук, профессор Корсунов Н. И.
  - кандидат технических наук, Осадчий А. Х.
- Ведущее предприятие - Харьковский институт радиоэлектроники имени М. К. Янгеля (г. Харьков)

Защита состоится "\_\_\_" \_\_\_\_\_ 1993 г. в \_\_\_\_\_ на заседании специализированного совета Д 068.39.02 при Харьковском политехническом институте (310002, г. Харьков, ГСП, ул. Фрунзе, 21).

С диссертацией можно ознакомиться в библиотеке Харьковского политехнического института.

Автореферат разослан "\_\_\_" \_\_\_\_\_ 1993 г.

Ученый секретарь  
специализированного совета

Кизилов В. У.



АВ - 26.525

## ОБЩАЯ ХАРАКТЕРИСТИКА РАБОТЫ

Актуальность работы. В настоящее время компьютеры используются во всех областях повседневной жизни. Они все чаще и чаще применяются для решения невычислительных задач, таких как поиск, хранение информации, преобразование таблиц и массивов данных, документов и фактов и т.п. С другой стороны совершенствование электронной технологии влечет за собой снижение стоимости памяти, логических схем, уменьшение габаритов вычислительных и управляющих устройств, что приводит в свою очередь к резкому возрастанию нечисловых применений компьютеров.

Большинство этих задач связано с понятием искусственного интеллекта. В настоящее время принято относить к искусственному интеллекту ряд алгоритмов и программно-аппаратных систем, отличительным свойством которых является то, что они могут решать задачи так, как это делал бы человек.

Интеллектуальные способности человека находятся в неразрывной связи с обработкой символической информации, а разработчики ЭВМ пятого поколения обработку символов называют обработкой интеллектуальной информации.

Однако обнаружилось, что для такой обработки, имеющей дело с большими массивами данных, однопроцессорная фоннеймановская структура не обеспечивает требуемого уровня производительности. Поэтому разработчики интеллектуальных систем, заинтересованные прежде всего в высоком быстродействии и производительности, с самого начала стали использовать параллельные и ассоциативные архитектуры в виде альтернативы однопроцессорному компьютеру.

Ассоциативным процессором называют ассоциативное запоминающее устройство (АЗУ), в которое введена дополнительная логика и микропрограммное управление. Известно, что логика имеется в

самом АЗУ, поэтому иногда АЗУ также называют ассоциативным процессором. Ассоциативным процессорам и АЗУ посвящено значительное число исследовательских работ. Большие ассоциативные процессоры не получили широкого распространения из-за их высокой стоимости. АЗУ небольшого объема используются в современных фонемановских машинах в виде кэш-памяти, для поиска страниц в системах виртуальной памяти или в любых других подсистемах, требующих быстрого поиска по таблице.

Существует классификация ассоциативных процессоров по уровню распределенности аппаратной поддержки. Логика может быть распределена до уровня бита, байта, слова и блока памяти. Ассоциативные системы с высоким уровнем параллелизма называются также машинами клеточных автоматов, где клетка (ячейка) соответствует сегменту памяти (например, дорожка диска) с принадлежащим этому сегменту процессору.

Машины клеточных автоматов составляют часть новой области исследований, в которой возникает множество серьезных проблем, связанных с разработкой, реализацией, программированием и эксплуатацией. Развитие этого нового направления, связанного с созданием вычислительных и управляющих устройств нового поколения, ориентированных на использование архитектур машин клеточных автоматов и современных возможностей микроэлектроники, является актуальной научной проблемой, имеющей важное народнохозяйственное значение.

Целью диссертационной работы является обобщение, совершенствование и создание методов проектирования ассоциативных запоминающих устройств и процессоров с заданными характеристиками быстродействия и отказоустойчивости. Исследования решают научную проблему, имеющую важное значение для создания новых элементов и устройств вычислительной техники и систем управления, от-

казоустойчивых ассоциативных устройств с клеточной структурой, отличающихся высокими характеристиками надежности.

Сформулированная цель достигается решением следующих задач:

- анализ и обобщение современного состояния и тенденций развития ассоциативных запоминающих устройств и процессоров;

- разработка инженерных методов проектирования ассоциативных дисковых запоминающих устройств и применение ее для проектирования блоков АДЗУ;

- разработка инженерных методов проектирования отказоустойчивых ассоциативных процессоров на основе использования двухпроводной логики, самопроверяемых схем встроенного контроля и коммутационных сетей различной структуры;

- применение разработанной методики проектирования для создания отказоустойчивого бит-последовательного ассоциативного процессора с клеточной структурой.

Методы исследования. В работе использован аппарат теории параллельных вычислительных систем, теории переключательных схем, технической диагностики и теории надежности. Экспериментальные исследования осуществлялись на макетных установках, экспериментальных образцах блоков ассоциативных устройств, а также путем моделирования на персональном компьютере.

Научная новизна. Основным научным результатом является разработка инженерных методов проектирования ассоциативных устройств с клеточной структурой и применение этих методов для создания функциональных блоков ассоциативных устройств. Принципиальный вклад в развитие методологии проектирования ассоциативных запоминающих устройств и процессоров составляют:

- классификация ассоциативных процессоров и их архитектур на четыре класса, определение основных требований, которым долж-

на удовлетворять система с ассоциативной обработкой данных;

- разработка функциональных блоков и системы команд АДЗУ с клеточной структурой, в которой клетка-ячейка используется для ассоциативной обработки данных на одной дорожке дисковой памяти;

- использование двухпроводной логики для построения самопроверяемых функциональных блоков ассоциативных устройств, схем встроенного контроля и самопроверяемых коммутационных сетей;

- структуры коммутационных сетей и алгоритмы коммутации;

- методы проектирования отказоустойчивых ассоциативных процессоров с реконфигурируемой структурой и применение этих методов для создания блоков отказоустойчивого ассоциативного процессора;

- оценки аппаратурных затрат и характеристик надежности ассоциативных процессоров с клеточной структурой и определенным числом резервных модулей.

Достоверность полученных результатов подтверждена моделированием разработанных методов, алгоритмов и устройств на ЭВМ, оценками сложности и надежности устройств, доказательствами утверждений и теорем, а также лабораторными и экспериментальными испытаниями узлов и блоков ассоциативных процессоров.

Практическая ценность диссертации определяется разработкой инженерных методов проектирования ассоциативных запоминающих устройств и процессоров, удовлетворяющих определенным требованиям стоимости и производительности. Предложен и обоснован новый принцип построения отказоустойчивых ассоциативных процессоров на основе использования модифицированной двухпроводной логики, самопроверяемых функциональных блоков, схем встроенного контроля и коммутации резервных модулей.

Научные и практические результаты, изложенные в диссертации, могут быть использованы при создании информационно-поисковых систем с ассоциативной обработкой данных, машин баз данных и управления базами данных, машин клеточных автоматов.

Реализация результатов работы. Исследования и разработки, представленные в диссертации, проведены в рамках госбюджетных работ кафедры "Автоматика и управление в технических системах" Харьковского политехнического института. Отдельные научные результаты и технические решения используются в Харьковском политехническом институте в учебно-исследовательской работе, в курсе лекций "Прикладная теория цифровых автоматов и техническая диагностика".

Апробация работы. Основные положения и результаты исследований докладывались и обсуждались на республиканской конференции "Функционально-ориентированные вычислительные системы" (г. Алушта, 1990 г.), ежегодных научно-технических конференциях профессорско-преподавательского состава Харьковского политехнического института.

Публикации. По теме диссертации получено авторское свидетельство на изобретение, находится в печати 3 статьи.

Структура и объем диссертации. Диссертация состоит из введения, пяти глав и заключения. Содержание работы изложено на 148 страницах основного текста, иллюстрируется 67 рисунками. Перечень литературы содержит 96 наименований.

#### КРАТКОЕ СОДЕРЖАНИЕ РАБОТЫ

Во введении определяются актуальность, цель и задачи исследований, перечисляются научные и практические результаты.

В первой главе анализируется влияние архитектурных особенностей ассоциативных устройств на их быстродействие и стоим-

мостные характеристики. На концептуальном уровне обсуждаются основные особенности ассоциативных устройств и ассоциативного принципа обработки информации.

Классификация ассоциативных устройств осуществляется по числу параллельно выполняемых операций или по числу ячеек памяти, имеющих блоки логической обработки. Предложена классификация ассоциативных устройств и разделение их на четыре основных класса: полностью параллельные, бит-последовательные, пословно-последовательные и ассоциативные процессоры с поблочной обработкой. Дается сравнительная оценка структур ассоциативных процессоров.

Анализируются тенденции развития ассоциативных ЗУ типа кэш-памяти, которые в настоящее время интенсивно используются рядом зарубежных фирм для устранения разрыва в быстродействии между центральным процессором и основной памятью. Кратко описаны структура и способы представления информации в кэш-памяти. По результатам анализа делаются выводы и определяются задачи работы.

Вторая глава посвящена разработке ассоциативного дискового запоминающего устройства (АДЗУ) на основе использования идеи распределенной логической памяти с головкой чтения-записи на дорожку. Показано, что такие устройства могут эффективно использоваться при решении задач обработки символьной информации. Большинство этих задач связано с понятием искусственного интеллекта, к числу сфер применения которых наряду с обработкой языка относятся также проблемы обучения и доказательства теорем, распознавание графических образцов, медицинская диагностика и диагностика сложных технических объектов.

Ассоциативные ЗУ и процессоры образуют класс сетей с кле-

точной структурой, которые должны удовлетворять основным четырем требованиям:

1. Носитель данных: модульно наращиваемая память большой емкости и низкой стоимости на 1 бит информации.
2. Формат записи переменной длины.
3. Возможность осуществить поиск требуемых данных за короткий промежуток времени.
4. Реализация процедуры поиска по критерию равно, больше, меньше или по выполнению логических условий, представляемых булевой или пороговой функцией.

Как показывает история развития ассоциативных устройств, компромисс между этими требованиями достигается при использовании в качестве ассоциативных ЗУ вторичных запоминающих устройств: дисков с головкой на дорожке или регистровых циклических ЗУ на цилиндрических магнитных доменах.

Разработана и описана структурная схема АДЗУ, предложен вариант организации записи, поиска и чтения данных. Разработана и описана функциональная схема ячейки логической обработки данных, которая состоит из двух частей: процессорного элемента и схемы управления. Анализ функциональных схем ячейки обработки данных АДЗУ показывает, что каждая ячейка состоит из  $N$  - битового сумматора,  $(N + 6)$ -ти триггеров,  $(6N + 39)$ -ти эквивалентных логических вентилях,  $(4N + 23)$ -х входов и выходов. Если длина поля символа составляет 8 бит, то для реализации каждой ячейки потребуется не более 250 вентилях и 60-ти входов и выходов.

Описана система из 12-ти команд АДЗУ, которые представлены в Таблице I.

Система команд обеспечивает выполнение задач поиска информации в АДЗУ. Каждая команда загружается в момент выполнения

Таблица 1.

Таблица микрокоманд АДЗУ

Номер команды	Команда	Число повторений	Содержимое РВС	Содержимое РУА															
				Ячейка		Поле данных		Выбор адреса		Поле совпадения Состояние				Поле условий					
				Ч	Т	З	П	З	С	Символ		ДФ		Выбор триггера					
				С	И	С	С	А	А	С	С	Б	М	У	Л	В	В	В	В
1	ПОИСК И УСТЧ S	1	У		1	1	0	0		1	1	0	0	1	0	0	1	0	
2	ПОИСК S <sub>1</sub> , S <sub>2</sub> , ... S <sub>n</sub>	1	У		1	1	0	0		1	1	0	0	1	0	0	0	1	
		j=2 до n	У	1	1	1	0	0		1	0	0	0	1	0	0	0	1	
3	ПОИСК МАРК S <sub>1</sub> , S <sub>2</sub> , ... S <sub>n</sub>	j=1 до n	У	1	1	1	0	0		1	0	0	0	1	0	0	0	1	
4	ПОИСК МАРК Ψ S	1	У	1	1	1	0	0		1	0	0	1	0	0	0	0	1	
		1	У	1	1	1	0	0		1	0	0	1	1	0	0	0	1	
		1	У	1	1	1	0	0		1	0	1	0	1	0	0	0	1	
		1	У	1	1	1	0	0		1	0	1	1	0	0	0	0	1	
5	РАСПР S	1	У	1	1	1	0	0		1	1	1	0	0	1	1	0	1	0
6	РАСПР I	1	У	1	1	1	0	0		1	0	1	1	1	0	0	0	1	
7	УСТЧ S	1	У	1	1	1	0	0		1	1	1	0	0	1	0	1	0	0
8	УСТЧ I	1	У	1	1	1	0	0		1	0	1	1	1	1	0	1	0	0
9	УСТО I	1	У	1	1	1	0	0		1	0	1	1	1	1	1	0	0	0
10	УСТ I или S	1	У	1	1	1	0	0		1	1	1	1	0	1	1	0	1	0
		1	У	1	1	1	0	0		1	0	1	1	1	0	1	0	0	1
11	ПРКЕ S	1	У	1	1	1	0	0							1	0	0	0	
12	ЗАМ S	1	У	1	0	1	0	0							1	0	0	0	

в регистр текущего символа. Незанятые клетки таблицы команд соответствуют неопределенным значениям разрядов кода команды.

Представлена и описана автоматная модель АДЗУ. Даны оценки сложности реализации ячейки АДЗУ для заданной длины поля символа.

В третьей главе обсуждается и разрабатывается методология проектирования отказоустойчивых ассоциативных процессоров. Вводятся основные понятия и определения, связанные с построением отказоустойчивых устройств. В основе методологии проектирования используются следующие концептуальные понятия: Модели ассоциативных процессоров, Ошибки, Избыточность, Диагностируемость и надежность. Предложено при проектировании отказоустойчивого АП использовать обобщенную модель, независимую от любой конкретной реализации АП. Модель АП отражает параллелизм выполнения ассоциативных операций без подробного описания самих операций.

Анализируются ошибки АП и их характеристики на функциональном универсуме правильности выполнения арифметико-логических команд, команд поиска информации и ввода/вывода. Обсуждается связь и влияние неисправности механизма адресации, входного и выходного регистров, регистра маски, процессорных элементов и других блоков АП на правильность выполнения различных команд. Показано, что динамическое резервирование при построении отказоустойчивых АП предпочтительнее статического. Выбор динамических методов резервирования предусматривает разбиение структуры АП на множество идентичных функциональных модулей — клеточных автоматов. Предложены принципы разбиения функциональных блоков АП на модули, разработана структура модульного АП.

Ассоциативный процессор состоит из  $M$  модулей (за исключением резервных), каждый из которых содержит  $P$  процессорных элементов. Для упрощения структуры устройства управления пред-

ложена реализация механизмов дешифрации адреса и выбора одного из МР процессорных элементов, а также механизма принятия решения по распределенному принципу.

Для обнаружения ошибок в модулях АП можно эффективно использовать методы кодирования с низкой избыточностью. Показано, что для блочно-ориентированных АП таких, как АДЗУ, весьма эффективным и перспективным направлением является использование арифметических кодов.

Для АДЗУ и подобных систем памяти, в которых блоки состоят из байт по  $N$  бит каждый, наиболее простым и экономичным способом защиты данных является контроль по четности каждого байта и использование  $N$  дополнительных бит на каждый блок данных для хранения обратного кода контрольной суммы. Проверяющий алгоритм для таких кодов состоит в сложении по модулю  $2^N - 1$  всех байт блока и проверки результата на 0.

Для дисковых запоминающих устройств характерно появление кратных ошибок, связанных с наличием двумерной зоны возможных дефектов в плоскости магнитного накопителя. Такие дефекты могут вызывать однонаправленное искажение произвольного числа соседних бит данных. На основе этого предположения для оценки эффективности обнаружения двумерной зоны ошибки введено понятие площади наименьшей необнаруживаемой зоны, измеряемой в битах. Связь границ этой площади с величиной контрольной суммы определяется нижеследующим утверждением.

Утверждение I. Если сумма  $K$  целых чисел ( $K < N$ ), не обязательно различных, выбранных из множества  $T = (1, 2, 4, 8, \dots, 2^{N-1})$  кратна  $A = 2^N - 1$ , то существует  $K_\ell$  целых чисел ( $K_\ell < K$ ) из того же множества, сумма которых кратна  $A$ , причем среди  $K_\ell$  целых чисел нет повторяющихся, за исключением, возможно, числа  $2^N - 1$ .

Получена зависимость наибольшего размера обнаруживаемой зоны ошибки от числа дефектных дорожек и показано практическое применение полученных результатов для выбора длины сегмента памяти, проверяемой контрольной суммой с учетом реальных соотношений плотности бит информации на дорожке и плотности дорожек на магнитных дисках. Альтернативным подходом для обнаружения ошибок и неисправностей узлов АП может быть применение самопроверяемых функциональных схем и схем встроенного контроля, что позволит при наличии определенного числа резервных модулей и системы коммутации строить отказоустойчивые ассоциативные процессоры.

В четвертой главе обобщаются и развиваются существующие методы введения избыточности, обеспечивающие свойство отказоустойчивости АП. Предлагаемая концепция основана на использовании двух принципов: самопроверяемость модулей АП и динамическая реконфигурация структуры при появлении неисправных модулей.

Приводятся основные понятия и определения, связанные с построением полностью самопроверяемых устройств. Анализируются существующие методы проектирования самопроверяемых схем. Предложено использовать двухпроводную логику для построения самопроверяемых модулей АП, что обеспечивает их гибкость, простоту реализации и возможность реализации различных режимов реконфигурации.

Рассматриваются различные методы построения коммутационных сетей, осуществляющих реконфигурацию структуры отказоустойчивого АП. Выделено два типа сетей: сети с централизованным и распределенным управлением. Разработаны и описаны схемы и алгоритмы коммутации для шунтирующих коммутационных сетей с централизованным управлением.

Недостатком таких сетей является необходимость пересылки

большого объема данных при появлении неисправности. Число таких пересылок может быть сокращено путем оптимального размещения рабочих и резервных модулей. Представлен метод расчета оптимального размещения  $S$  резервных и  $M$  рабочих модулей и получено уравнение для вычисления номера  $i_k$  позиции  $K$ -го резервного модуля в виде

$$i_k = k + M(2k - 1) / 2S \quad K = 1, 2, \dots, S$$

В алгоритме реконфигурации используются векторы состояний двух объектов:

**МОДУЛЬ** - вектор состояния модуля (0 - резервный, 1 - функционирующий, 2 - неисправный).

**ЯЧЕЙКИ КОММУТАЦИИ** - вектор состояний коммутационных ячеек (0 - перекрестное соединение, 1 - прямое соединения).

Алгоритм изменяет значения векторов состояний модулей и коммутационных ячеек, а также инициирует процесс пересылки данных при появлении неисправного модуля в виде последовательности следующих шагов:

- Шаг 1. Проверить наличие резервного модуля в сети. Если такой модуль имеется перейти к шагу 2, в противном случае выполнить команду ОТКАЗ СИСТЕМЫ и перейти к шагу 7.
- Шаг 2. Определить номер позиции резервного модуля по критерию минимального числа пересылок данных.
- Шаг 3. Модифицировать состояния ЯЧЕЕК КОММУТАЦИИ, изменив состояния коммутационных ячеек как неисправного, так и подключаемого резервного модуля.
- Шаг 4. Модифицировать вектор состояния МОДУЛЕЙ, установив новое состояние (1) подключаемого резервного модуля.
- Шаг 5. Выполнить функцию пересылки данных между модулями. В случае разрушения данных выполнить процедуру их восстановления.

ния путем повторного выполнения фрагментов программы.

Шаг 6. Модифицировать значение вектора состояния модулей, установив состояние (2) для неисправного модуля.

Шаг 7. Конец алгоритма.

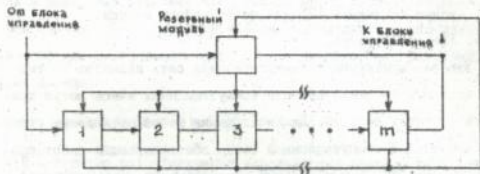
Так как шунтирующая коммутационная сеть является частью ядра системы, то неисправности коммутационных ячеек могут приводить к отказу системы. Для исключения этого предложена структура избыточной коммутационной сети, обеспечивающая работоспособность ядра АП при появлении неисправности коммутационной ячейки.

Время восстановления работоспособности модульной структуры ассоциативного процессора можно значительно сократить, если использовать принцип распределенного управления реконfigurацией структуры. Для реализации этого принципа предложено в каждом модуле использовать 2 группы входов/выходов: горизонтальные (Н) и вертикальные (V). Распределенная система коммутации обеспечивает четыре способа подключения входов и выходов каждого модуля: НН (горизонтальный вход - горизонтальный выход), НV, VН и VV.

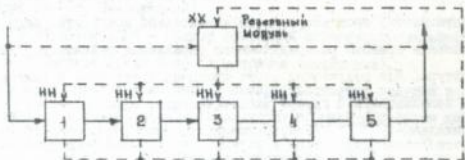
На рис. 1 представлена структура модульного АП с системой распределенной реконfigurации с одним резервным модулем. Рис. 1а иллюстрирует структуру АП в состоянии нормального функционирования АП с 5-ю рабочими и 1 резервным модулем. При отказе любого функционирующего модуля замена его осуществляется резервным, при этом пересылка данных осуществляется только из одного заменяемого модуля. На рис. 1б иллюстрируется замена модуля 3 на резервный путем соответствующей коммутации входов и выходов 2, 4 и резервного модулей.

Разработана и описана структура двумерного массива процессорных модулей с распределенной системой коммутации. Обсуждает-

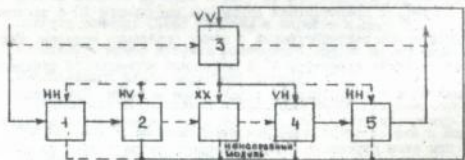
Система распределенной реконфигурации  
с одним резервным модулем.



а) Структура исходной сети



б) Структура сети при нормальном функционировании  
с  $m = 5$



в) Структура сети с неисправным модулем N3

ся необходимость решения двух основных задач: нахождение двумерной структуры, обеспечивающей отказоустойчивость АП при наличии максимального числа неисправных модулей и определение числа резервных модулей при заданной исходной конфигурации структуры АП, необходимых для обеспечения заданной степени отказоустойчивости. Предложена структура прямоугольной сети, в которой соединения внутри строк выполняются всегда слева-направо, а соединения внутри столбцов в виде замкнутого кольца: для нечетных столбцов кольцо сверху-вниз, для четных столбцов модули соединены в кольцо снизу-вверх.

Для такой исходной структуры АП размерность  $r \times c$  определены граничные значения числа модулей, находящихся в различных состояниях в зависимости от числа  $M$  функционирующих модулей и размерности сети в виде:

$$(M - C) / (r - 1) \leq n_{HV} = n_{VH} \leq C$$

$$n_{HH} \leq (rC - M) / (r - 1)$$

$$(M - 2C) \leq n_{VV} \leq (M - C)(r - 2) / (r - 1)$$

где  $n_{HH}$ ,  $n_{VV}$ ,  $n_{HV}$  и  $n_{VH}$  - число модулей с соединениями вход-выход типа HH, VV, HV и VH, соответственно.

Полученные предельные значения используются для определения структуры реконфигурируемой сети при замене неисправного модуля резервным. Разработан и описан алгоритм реконфигурации прямоугольной сети модулей АП предложенной структуры.

В пятой главе иллюстрируется применение методов проектирования отказоустойчивых устройств, разработанных в главах 3 и 4, для построения отказоустойчивого перестраиваемого ассоциативного процессора с самовосстановлением (ОПАПС) с бит-послед-

довательной обработкой данных.

Описана типовая структура избыточного бит-последовательного ассоциативного процессора и система команд, которая разделена на две группы: ассоциативные и неассоциативные команды. Для перехода к модульному принципу организации АП структура избыточного ассоциативного процессора представляется в виде двух частей: схемы ассоциативной обработки и схемы управления. Описан интерфейс между схемой ассоциативной обработки и схемой управления, который дополняется двумя группами шин при построении ОПАПС: шины состояний модуля (исправный-неисправный) и шины управления реконфигурацией структуры. Определяются три основных режима работы АП: 1) режим нормального функционирования при наличии  $S$  резервных модулей; 2) режим реконфигурации 1. Реконфигурация структуры с целью замены неисправного модуля или повышения производительности при наличии резервных модулей; 3) режим реконфигурации 2. Реконфигурация структуры при отсутствии резервных модулей и переход к избыточной структуре путем расщепления каждого исправного модуля на два отдельно функционирующих с целью повышения производительности АП.

Каждый модуль системы проектируется в виде самопроверяемой схемы с двухпроводной реализацией каждой функции модуля. Разработаны и описаны принципы реконфигурации ОПАПС при отказе одного или нескольких модулей. Разработаны и описаны функциональные схемы самопроверяемых ячеек коммутационной сети, ячейки процессорного элемента, структура самопроверяемого модуля ОПАПС. Показано, что реализация модулей на основе двухпроводной логики и принципов самопроверяемости позволяет эффективно осуществить различные режимы реконфигурации. Получена оценка аппаратурной сложности реализации коммутационной сети для  $M$  основных

функционирующих и 5 резервных модулей ОПАС.

Проведен анализ сложности аппаратурной реализации и надежности ОПАС. Полученные результаты позволяют при проектировании отказоустойчивых ассоциативных процессоров по предложенной методике оценить аппаратурные затраты и степень повышения надежности при модульной организации ассоциативной обработки с определенным числом резервных модулей.

#### Заключение

В диссертации осуществлено обобщение и разработка методов проектирования ассоциативных запоминающих устройств и процессоров, которые позволяют повысить их быстродействие и надежность. Особое внимание уделено методам проектирования отказоустойчивых ассоциативных устройств, в которых высокая степень надежности достигается введением в состав аппаратуры встроенных средств диагностирования и реконфигурации.

Классификация и разделение ассоциативных устройств на четыре основных класса дает возможность выбора архитектуры ассоциативного процессора, удовлетворяющей требованиям быстродействия, стоимости и надежности.

Наиболее важные результаты работы формулируются следующим образом:

1. Проведен анализ и обобщение современного состояния и тенденций развития ассоциативных запоминающих устройств и процессоров, в результате чего были выделены четыре класса процессоров и их архитектур. Сформулированы и определены основные требования, которым должна удовлетворять "идеальная" информационно-поисковая система с ассоциативной обработкой данных.

2. Предложена структура и система команд ассоциативного дискового запоминающего устройства. Разработаны и описаны функ-

циональные схемы ячейки обработки данных, проведен анализ и оценка сложности реализации процессорной части АДЗУ, которая может использоваться в сочетании как с системой дискового ЗУ с головкой чтения-записи на дорожку, так и с системой регистровой памяти на цилиндрических магнитных доменах.

3. Предложено использовать двухпроводную логику для построения самопроверяемых схем, в которых обнаружение ошибок в функциональной части устройства и в схеме контроля осуществляется в процессе функционирования устройства. Сформулированы требования к построению самопроверяемых устройств, обеспечивающие их гибкость и простоту схемных реализаций ассоциативных устройств.

4. Предложены методы проектирования коммутационных сетей с централизованным и распределенным управлением реконфигурацией. Разработаны и описаны схемы и алгоритмы коммутации для шунтирующей сети с централизованной реконфигурацией. Для шунтирующих коммутационных сетей предложен метод расчета оптимального размещения резервных модулей.

5. Разработана и описана структура отказоустойчивого бит-последовательного ассоциативного процессора, в котором предусмотрены режимы реконфигурации, позволяющие использовать избыточную часть процессора с максимальной эффективностью.

6. Получены оценки аппаратурных затрат и характеристик надежности при модульной организации схемы ассоциативной обработки с определенным числом резервных модулей.

#### Публикации по теме диссертации

1. А.с. 1467018. Цифровой функциональный генератор / Левантовский В.Я., Шпильберг А.Я., Окомби С.А. / Опубликовано Бюл. изобретений № 22, 1989 г.

Ответственный за выпуск **К.Т.Н. Машенко Т.Г.**

Подл. к печ. *22.01.95*      Формат 60×84<sup>1/16</sup>. Бумага тип. Печать офсетная. Усл. печ. л. *1,0*  
Уч.-изд. л. *1,0*      Тираж *100* экз. Зак. № *81*      Бесплатно.

---

Харьковское межвузовское арендное полиграфическое предприятие.  
310093, Харьков, ул. Сверлова, 115.



469889

AB 26.525