

АКАДЕМИЯ НАУК УКРАИНЫ
ИНСТИТУТ ПРОБЛЕМ МОДЕЛИРОВАНИЯ В ЭНЕРГЕТИКЕ

На правах рукописи
УДК 681.325

ВЕЛИЧКО Сергей Михайлович

РАЗРАБОТКА СТРУКТУРНО-ИНТЕРПРЕТИРОВАННЫХ МИКРОПРОЦЕССОРНЫХ
ВЫЧИСЛИТЕЛЬНЫХ СИСТЕМ НА ОСНОВЕ ТАБЛИЧНО-РАЗРЯДНЫХ МЕТОДОВ
ВЫЧИСЛЕНИЙ

Специальность 05.13.13 - Вычислительные машины, комплексы,
системы и сети

А в т о р е ф е р а т
диссертации на соискание ученой степени
кандидата технических наук

КИЕВ 1993

Диссертацией является рукопись

Работа выполнена в Киевском институте инженеров гражданской авиации

Научный руководитель - доктор технических наук,
профессор Стасюк А.И.
Научный консультант - кандидат технических наук
Корченко А.Г.

Официальные оппоненты - доктор технических наук
Романцов В.П.
- кандидат технических наук
Скорик В.Н.

Ведущая организация - Институт кибернетики АН Украины

Заявка состоит из 30 декабрь 1993 г. в 14⁰⁰ часов
на заседании специализированного совета Д016.61.01 Института
проблем моделирования в энергетике АН Украины по адресу 252680,
г. Киев-164, ул. Генерала Наумова 15.

С диссертацией можно ознакомиться в библиотеке Института
проблем моделирования в энергетике АН Украины.

Автореферат разослан 19 ноября 1993 г.

Ученый секретарь
специализированного совета
кандидат технических наук

Э.П.Семагина

ЛННБ України ім.В.Стефаніка



00802889 (Z)

ЛННБ ім. В. Стефаніка
АН України

ОБЩАЯ ХАРАКТЕРИСТИКА РАБОТЫ

Актуальность. За последние годы существенно возросло число проблем, связанных с моделированием крупномасштабных задач или проведением численного эксперимента в фундаментальных и прикладных исследованиях, требующих для их удовлетворительного решения более совершенных вычислительных средств с производительностью, измеряемой сотнями миллионов и миллиардами операций в секунду. Постоянное развитие интегральной технологии способствовало появлению вычислительных систем принципиально новой архитектуры с распределением функций, нагрузок, организацией параллельной обработки информации, а также обладающих улучшенными характеристиками, такими как надежность, живучесть и др. Открылись перспективы для развития новых методов параллельных вычислений с учетом особенностей функционирования как эксплуатируемых, так и разрабатываемых вычислительных средств. Появился ряд направлений, отражающих современные тенденции увеличения производительности вычислительных средств, организация которых осуществляется на базе модели большого числа параллельно работающих процессорных элементов. Стало очевидным, что архитектурные решения современных вычислительных систем и тех, которые появятся в ближайшее время, будут определяться в первую очередь уровнем развития интегральной технологии. При этом наиболее весомый вклад в достижение высокой скорости вычислений обеспечивает адекватность архитектуры вычислительной системы численным методам решения класса задач, на который она рассчитана.

На основе опыта развития вычислительной техники и анализа существующих и разрабатываемых вычислительных систем можно сделать вывод, что потенциальные возможности относительно увеличения производительности вычислений состоят в совместном исследовании алгоритмов и вычислительных систем на уровне разрядов обрабатываемой информации с целью более полного использования возможностей создаваемых и существующих больших и сверхбольших интегральных схем.

В связи с этим, целью настоящей работы является разработка и исследование таблично-разрядных методов вычислений, обеспечивающих распараллеливание вычислительных процессов на уровне би-

нарных переменных и на их базе создание методов синтеза сверхбыстродействующих вычислительных структур, обеспечивающих обработку информации за время переходного процесса в схеме и микропроцессорных систем, ориентированных на современные интегральные технологии,

В соответствии с поставленной целью исследования проводились в следующих направлениях:

-разработка методов таблично-разрядной интерпретации математических моделей и создание способов формирования аналитических зависимостей и вычислительных процессов на уровне разрядов представления информации;

-разработка таблично-разрядных методов вычислений, использующих ограниченное число простых операций, например алгебраического сложения и сдвига;

-на базе существующих и перспективных СБИС создание методики синтеза сверхбыстродействующих процессоров, представляющих собой объединение запоминающего блока и параллельного однородного вычислителя;

-разработка методики построения функционально ориентированных микропроцессорных вычислительных систем на основе предложенных высокопроизводительных процессоров;

-создание способов оценки показателей качества функционирования разрабатываемых вычислительных устройств и систем.

Методы исследования. В работе использованы методы линейной алгебры, математический аппарат T -преобразований, методы диагностики, основные положения теории моделирования, теории графов, а также логические и схемотехнические методы анализа и синтеза вычислительных структур. Исследование правильности теоретических положений разработанных методов проводилось имитационным моделированием и результатами экспериментальных исследований.

Научная новизна работы заключается в следующем.

Проведенные теоретические и прикладные исследования организации высокопроизводительных таблично-разрядных вычислительных структур и микропроцессорных вычислительных систем на их основе позволили получить следующие новые научные результаты:

1. Разработаны, ориентированные на аппаратную реализацию, таблично-разрядные методы вычислений, позволяющие распараллелить

вычислительный процесс широкого класса математических моделей и трансцендентных функциональных зависимостей на уровне разрядов представления информации, показана возможность организации параллельных вычислений в виде однотипных разрядных рекуррентных процедур.

2. Предложены методы синтеза сверхбыстродействующих таблично-разрядных многофункциональных вычислительных структур, включающих однородный параллельный матричный процессор, блок памяти хранения опорных точек и промежуточных коэффициентов, которые обеспечивают организацию одновременного прохождения и обработки потока данных за время переходного процесса и ориентированных на современную интегральную технологию в виде СБИС.

3. На основе предложенных таблично-разрядных вычислительных структур разработана методология синтеза высокопроизводительных структурно-интерпретированных микропроцессорных систем позволяющих благодаря организации воспроизведения фрагментов математических моделей в процессе выполнения команд обмена существенно увеличить производительность вычислений.

4. Получены аналитические зависимости, позволяющие оценить эффективность разработанных таблично-разрядных вычислителей и структурно-интерпретированных микропроцессорных систем.

Практическая ценность работы заключается в разработке инженерной методики синтеза таблично-разрядных процессоров и структурно-интерпретированных микропроцессорных систем, на базе которой получено:

1. Широкий набор структур таблично-разрядных процессоров, обрабатывающих информацию за время прохождения сигнала между входными и выходными шинами.

2. Структуры многофункциональных параллельных процессоров, позволяющих за время переходного процесса воспроизводить заданную математическую зависимость, что определяется по условию настройки вычислителя.

3. На основе предложенных процессоров, ряд архитектурных решений микропроцессорных вычислительных систем повышенной информационной производительности и ориентированных на решение задач линейной алгебры, обработки сигналов и др.

Работоспособность предложенных структур проверена имитаци-

онным моделированием и результатами экспериментальных исследований макетного образца структурно-интерпретированной микропроцессорной вычислительной системы. Новизна технических решений подтверждается авторскими свидетельствами.

Реализация и внедрение результатов. Полученные результаты были использованы при разработке и создании макетного образца микропроцессорной вычислительной системы, структурно ориентированной на обработку сигналов, который внедрен. Основные результаты работы также используются при курсовом и дипломном проектировании в учебном процессе Киевского института инженеров гражданской авиации (КИИГА). Кроме того, результаты исследований используются в государственной и хозяйственной научно-исследовательской работе, проводимой на кафедре КИИГА.

Аprobация работы. Основные положения диссертационной работы докладывались и обсуждались на Всесоюзной научно-технической конференции "Математическое моделирование в энергетике" (г. Киев 1990), на четвертой научно-технической конференции "Проблемы нелинейной электротехники" (г. Киев 1992), на научной конференции "Методы и средства прикладного моделирования" (Киев 1993), а также на научных семинарах ИГМЭ АН Украины, на заседаниях кафедры Киевского института инженеров гражданской авиации.

Публикации. По теме диссертации опубликовано 6 печатных работ, в том числе два авторских свидетельства на изобретение.

Объем и структура диссертации. Диссертационная работа содержит введение, четыре главы и заключение, изложенная на страницах машинописного текста, 26 рисунков, 5 таблиц, список литературы содержит 127 наименований.

КРАТКОЕ СОДЕРЖАНИЕ РАБОТЫ

Во введении обосновывается актуальность работы, формулируется ее цель и основные положения, выносимые на защиту и указывается логическая взаимосвязь глав.

В первой главе на основе проведенного анализа существующих и разрабатываемых вычислительных систем, а также с учетом опыта развития вычислительной техники делается вывод, что потенциальные возможности относительно увеличения производительности вычислений состоят в совместном исследовании алгоритмов и вычислительных структур на уровне разрядов обрабатываемой информации

с целью более полного использования возможностей создаваемых и существующих больших и сверхбольших интегральных схем.

Для организации параллельных алгоритмов функционирующих на уровне разрядов и быстродействующих вычислительных структур формируется ряд определений.

ОПРЕДЕЛЕНИЕ 1. Принцип таблично-разрядной интерпретации математической модели $\varphi(x, y) = 0$ состоит в представлении ее в виде двух фрагментов, первый из которых представляется как $X_i = \varphi(Y_i, \varepsilon_i, \Gamma^i)$ где X_i, Y_i - значения старших разрядов векторов X, Y ; φ - оператор; ε_i - вектор промежуточных вычислений; Γ - основание системы счисления, а второй представляется системой разрядных уравнений $X_j^k = \varphi(X_j, Y_j, \varepsilon_j, \Gamma^{-j})$, на основании каждого из которых воспроизводится k -й разряд X_j искомого вектора X .

ОПРЕДЕЛЕНИЕ 2. Таблично-разрядные методы вычислений - численные методы решения задач с распараллеливанием вычислительного процесса таким образом, когда m - старших разрядов X_i вектора неизвестных X и полноразрядный вектор промежуточных вычислений ε_i определяется на основе таблицы в соответствии с $X_i = \varphi(Y_i, \varepsilon_i, \Gamma^i)$, а $(n-m)$ младших разрядов X_j^k вектора X - путем моделирования соответствующих k - разрядных уравнений $X_j^k = \varphi(X_j, Y_j, \varepsilon_j, \Gamma^{-j})$.

ОПРЕДЕЛЕНИЕ 3. Таблично-разрядными процессорами называются параллельные вычислительные структуры, состоящие из разрядно-интерпретированной электронной модели системы разрядных уравнений $X_j^k = \varphi(X_j, Y_j, \varepsilon_j, \Gamma^{-j})$ и запоминающего устройства для хранения и воспроизведения m -разрядного неизвестного X и полноразрядного вектора промежуточных вычислений ε_i . Предполагается, что при подаче на вход таблично-разрядного процессора заданной величины Y , через время, равное переходному процессу в схеме, на выходе запоминающего блока формируется m старших разрядов искомого вектора X , а на выходе разрядно-интерпретированной электронной модели получаем $n-m$ младших разрядов этого же вектора X .

Подобный подход позволяет в большей степени использовать преимущества современных БИС, в частности ПЗУ. Поскольку время считывания с ПЗУ приблизительно равно времени воспроизведения

одного разрядного уравнения, то быстродействие таблично-разрядных процессоров в несколько раз выше, чем в однородных разрядно-интерпретированных структурах.

Благодаря тому, что вычислительный процесс в параллельных таблично-разрядных вычислителях реализуется асинхронно за время переходного процесса в схеме, то представляется перспективным синтез на их базе микропроцессорных вычислительных систем, обеспечивающих организацию одновременного прохождения и обработки потока данных. При этом производительность вычислений в таких микропроцессорных структурах будет определяться скоростью вычислений матричного процессора, а широкие логические возможности — применяемыми микропроцессорными элементами.

Микропроцессорные системы, структурная ориентация которых осуществляется путем применения заданной совокупности параллельных табличных разрядно-интерпретированных процессоров, объединенных в архитектуру, отображающую особенности класса решаемых задач, и обрабатывающих информацию как в процессе обмена с микропроцессорными элементами, так и параллельно с ними называются структурно-интерпретированными микропроцессорными системами.

Формулируется концепция создания структурно-ориентированных микропроцессорных вычислительных систем. В зависимости от класса решаемых задач или сложности воспроизводимых математических моделей структурно-интерпретированные системы представляются многоуровневыми. В основу архитектурного принципа их синтеза положен принцип декомпозиции и таблично-разрядного представления математических моделей на базе которого модель $\varphi(X, Y) = 0$ представляется в виде $\varphi_1(X_1, Y_1) = 0$, $\varphi_j(X_j, Y_j) = 0$. Далее, на основе принципа структурной интерпретации микропроцессорных вычислительных систем определяется количество и тип параллельных разрядных процессоров и микропроцессорных элементов.

Первый уровень иерархии представляют собой методы синтеза табличных разрядно-интерпретированных процессоров для обработки скалярных данных и на их базе микропроцессорных систем с обработкой информации в процессе передачи данных. Методы синтеза параллельных процессоров для обработки данных, представленных в векторной форме, и способы организации микропроцес-

сорных систем на их основе представляют второй уровень иерархии. Вычислительные структуры, моделирующие математические задачи, и синтезируемые на их базе микропроцессорные системы, обеспечивающие обработку информации в процессе передачи и приема данных, определяют третий уровень. Вычислительные структуры всех трех уровней могут использоваться как самостоятельно, так и в качестве составных блоков вычислительных комплексов для обеспечения требуемой скорости вычислений.

Изложенный в этой главе подход построения структурно-интерпретированных вычислительных систем позволяет существенно увеличить производительность вычислений, благодаря параллельной обработке фрагментов математических моделей, и открывает возможность повышения уровня машинного языка, а также существенного упрощения процесса их программирования и синтеза.

Во второй главе изложены методы синтеза широкого класса параллельных вычислительных структур на основе таблично-разрядных способов обработки информации, ориентированных на интегральную технологию. В инженерной практике довольно часто возникает необходимость в моделировании экспоненциальной функции вида $Y = e^X$. Для организации таблично-разрядного вычислительного процесса значения $Y = e^X$ представим аргумент X в виде двух значений $X = X^{(m)} + X^{(n-m)}$ где n - разрядность представления информации, $X^{(m)}$ - m старших разрядов аргумента, $X^{(n-m)}$ - $(n-m)$ младших разрядов аргумента т.е.

$$X^{(m)} = \begin{bmatrix} 1 \\ X \\ 2 \\ X \\ \dots \\ m \\ X \end{bmatrix}^t ; X^{(n-m)} = \begin{bmatrix} m+1 \\ X \\ m+2 \\ X \\ \dots \\ n \\ X \end{bmatrix}^t$$

Далее представим выражение $Y = e^X$ как

$$Y = e^{X^{(m)} + X^{(n-m)}} = e^{X^{(m)}} \cdot e^{X^{(n-m)}} = e^{X_0} \cdot e^{X_1} \cdot e^{X_2} \dots e^{X_j}$$

$$j = 0, 1, 2, \dots ; X_j = \ln(1 + 2^{-(m+j)})$$

и учитывая, что $Y = e^{X^{(m)}} \cdot (1 + 2^{-(m+1)}) \cdot (1 + 2^{-(m+2)}) \dots (1 + 2^{-(m+j)})$

Запишем систему разрядных уравнений следующим образом

$$Y_{j,i} = Y_j + 2^{-(m+j)} \epsilon_j, Y_j, \epsilon_j = \begin{cases} 1 & \text{при } f_j \geq 0 \\ 0 & \text{при } f_j < 0 \end{cases}, f_{j-1} - \gamma_{j-1} = f_j$$

$$\gamma_j = \begin{cases} X_j & \text{при } f_j \geq 0 \\ -X_{j-1} + X_j & \text{при } f_j < 0 \end{cases} \quad (I)$$

где $Y_j = e^{X^m}$, $X^{(n-m)} - X_0 = f_j$, $j = 0, 1, \dots, n-m$, $Y_{(n-m, j)} = Y_m = e^{X^m}$

На основе разрядных уравнений предлагается параллельный процессор, включающий ПЗУ для хранения 2^m значений e^{X^m} , и матрицы сумматоров, воспроизводящих $(n-m)$ разрядных уравнений (1). Время вычисления экспоненциальной функции определяется длительностью переходного процесса T , равному $T = (n-m+1)(\tau_c + \tau_g)$, где τ_c - задержка вносимая сумматором; τ_g - задержка, вносимая группой элементов И. Аналогично, более общий случай моделирования показательной-степенной функции $Y = \alpha^X$ при $\alpha > 0$, $0 \leq X \leq 1$ представляется системой рекуррентных уравнений.

$$Y_{m+j} = Y_{m-i+j} \left[2^{m+j} \sqrt{\alpha} \right] X^{m+j}, \quad j=1, 2, \dots, n-m, \quad Y = \alpha^X \quad (2)$$

Если $-1 \leq X \leq 0$, то выражение (2) представляется в форме

$$Y_{m+j} = Y_{m-i+j} \left[2^{m+j} \sqrt{1/\alpha} \right] X^{m+j}.$$

При моделировании задач, сводящихся к системе нелинейных алгебраических и дифференциальных уравнений, как правило, возникает необходимость в воспроизведении нелинейных зависимостей.

Одной из наиболее часто встречающихся есть извлечение квадратного корня $X = \sqrt{Y}$ при $0 \leq X \leq 1$, $0 \leq Y \leq 1$. Представим

m -разрядные значения $X_i = \begin{bmatrix} i \\ X \\ X \\ \dots \\ X \end{bmatrix}^t$, которые определяем

по таблице и соответственно $2m$ -разрядные $Y_i = \begin{bmatrix} i \\ Y \\ Y \\ \dots \\ Y \end{bmatrix}^t$

$i=1, 2, \dots, 2^m$. Тогда каждый $(m+j)$ -й разряд искомой величины определяется по разрядным уравнениям

$$X^{m+j} = \begin{cases} 1 & f^{(j)} = 1 \\ 0 & f^{(j)} = 0 \end{cases}, \quad S_i^{(j)} = 2^{-(m+j)} \cdot X_i^{(j)} \cdot \epsilon_{j-1} = S^{(j)}, \quad \epsilon_j = \begin{cases} 1 & X = 1 \\ -1 & X = 0 \end{cases} \quad (3)$$

$j=1, 2, \dots, n-m$, где $S_i^{(j)} = Y - Y_i$, $\epsilon_j = 1$, $f^{(j)}$ - значение переноса из старшего разряда при вычислении $S_i^{(j)}$.

$$X_i^{(j)} = \begin{bmatrix} i \\ X \\ X \\ \dots \\ X \\ X \\ I \end{bmatrix}^t$$

Поскольку m старших разрядов искомой величины X считаются из памяти, а $n-m$ младших разрядов воспроизводятся по уравнениям (3), то время вычисления квадратного корня $X = \sqrt{Y}$ будет определяться по выражению $T = (n - m + 4) \cdot \tau$, где τ - моделированная зависимость (3).

Поступая по аналогии, реализуем синтез параллельного таблично-разрядного процессора для вычисления тригонометрических функций $Y = \sin \varphi$; $X = \cos \varphi$, при $0 \leq \varphi \leq \pi/2$. Запишем

$$\varphi_m = \begin{bmatrix} 1 & 2 & \dots & m-1 & m \\ \varphi & \varphi & \dots & \varphi & \varphi \end{bmatrix}^t ; \varphi_{(n-m)} = \begin{bmatrix} m+1 & m+2 & \dots & n-1 & n \\ \varphi & \varphi & \dots & \varphi & \varphi \end{bmatrix}^t$$

Старшие m разрядов синуса и косинуса представляются в виде таблиц $X_m = \cos \varphi_m$, $Y_m = \sin \varphi_m$, значение $n-m$ младших разрядов аргумента используются для уточнения X_n, Y_n по выражению

$$\begin{aligned} X_{k+1} &= X_k - Y_k 2^{-k} \varepsilon_{k+1} \\ Y_{k+1} &= Y_k + X_k 2^{-k} \varepsilon_{k+1} \end{aligned} ; \varepsilon_{k+1} = \begin{cases} -1 & \text{если } \varphi_{k+1} \geq 0 \\ 0 & \varphi_{k+1} > 0 \end{cases} \quad (4)$$

$$\begin{aligned} \varphi_{k+1} &= \varphi_k - \Delta \alpha_k \varepsilon_k, \quad \varepsilon_k = 1, \quad k = m+1, \dots, n; \quad \Delta \alpha_k = \arctg 2^k \\ X_{k,m} &= X_m \cdot C = \cos \varphi, \quad Y_{k,m} = Y_m \cdot C = \sin \varphi, \quad C = \prod_{k=m}^{n-1} \cos \Delta \alpha_k \end{aligned}$$

Вычисление обратных тригонометрических функций $\varphi_x = \arcsin Y$ и $\varphi_y = \arccos Y = \pi/2 - \varphi$, при $0 \leq Y \leq 1$ может быть организовано следующим образом. Запишем значения $\varphi_m = \arcsin Y_m$, $X_0 = C \cdot \cos \varphi_m$,

$Y_0 = C \cdot \sin \varphi_m$, $C = \prod_{k=m}^{n-1} (\cos \Delta \alpha_k)^2$, $\Delta \alpha_k = \arctg 2^k$, где φ_m, Y_m - m старших разрядов φ и Y соответственно. Рекуррентные выражения воспроизведения обратных тригонометрических функций представляются как

$$\begin{aligned} Y'_{i+1} &= Y'_i - \varepsilon_{i+1} 2^i X_i, \quad \varepsilon_{i+1} = \varepsilon_{1,i+1} \cdot \varepsilon_{2,i+1} \\ \varepsilon_{1,i+1} &= \begin{cases} -1 & \text{при } Y'_{i+1} < 0 \\ 1 & Y'_{i+1} > 0 \end{cases}, \quad \varepsilon_{2,i+1} = \begin{cases} -1 & \text{при } X_i < 0 \\ 1 & X_i > 0 \end{cases} \\ X_{i+1} &= X_i - \varepsilon_{i+1} Y_i 2^i, \quad Y_{i+1} = Y_i - \varepsilon_{i+1} X_i 2^i \\ \varphi_{i+1} &= \varphi_i + \varepsilon_{i+1} \Delta \alpha_i; \quad \varepsilon_{i+1} = 1, \quad Y'_{m+1} = Y \end{aligned} \quad (5)$$

где $l = m+1, m+2, \dots, 2(n-m)+m$, а $k = \frac{l+2}{2}$ при l -четном, $k = \frac{l+3}{2}$ при l -нечетном.

Время вычисления обратных тригонометрических функций может быть определено по следующему выражению $T = 2(n-m+1) \cdot \tau$.

При решении многих прикладных задач часто возникает необходимость вычислять за короткие промежутки времени различные математические зависимости. В качестве примера возьмем задачу моделирования текущих значений координат вектора, что представляется выражениями

$$Y_1 = a \cos \alpha + b \sin \alpha, \quad (6)$$

$$Y_2 = b \cos \alpha + a \sin \alpha \quad \text{при } 0 \leq \alpha \leq \pi/2$$

Представим α как

$$\alpha^m = \begin{bmatrix} 1 & 2 & 3 & 4 & \dots & m \end{bmatrix}^t, \quad \alpha^{(n-m)} = \begin{bmatrix} m+1 & m+2 & m+3 & m+4 & \dots & n \end{bmatrix}^t,$$

Далее представим выражение (6) как

$$Y_1^0 = C (a \cos \alpha^m + b \sin \alpha^m), \quad \text{где } C = \prod_{i=1}^{n-m} \cos \varphi^{m+i}$$

$$Y_2^0 = C (b \cos \alpha^m + a \sin \alpha^m),$$

$\varphi^{m+i} = \arctg 2^{-(m+i)}$ и запишем систему рекуррентных выражений

$$\begin{aligned} Y_1^{i+1} &= Y_1^i + Y_2^i \cdot \varepsilon^{i+1} \cdot 2^{-(m+i)}, & \varepsilon^{i+1} &= \begin{cases} 1 & \text{при } \alpha_{i+1} \geq 0 \\ -1 & \text{при } \alpha_{i+1} < 0 \end{cases} \\ Y_2^{i+1} &= Y_2^i + Y_1^i \cdot \varepsilon^{i+1} \cdot 2^{-(m+i)}; \end{aligned}$$

$$\alpha_{i+1} = \alpha_i - \varphi^{m+i} \varepsilon^i, \quad \varepsilon^{(0)} = 1, \quad i = 0, 1, 2, 3, \dots, n-m. \quad (7)$$

Время вычисления значений Y_1, Y_2 в параллельном процессоре по выражению (6) будет равно задержке сигнала между входными и выходными шинами которая определится как $T = (n-m+2) \cdot \tau$.

При решении навигационных задач необходимо с высокой скоростью воспроизводить синусно-косинусные произведения вида $Y_1 = \sin \alpha \sin \beta; Y_2 = \cos \alpha \sin \beta; Y_3 = \sin \alpha \cos \beta; Y_4 = \cos \alpha \cos \beta; (8)$

Поступая по аналогии представим значения аргументов $\alpha = \alpha^m + \alpha^{n-m}, \beta = \beta^m - \beta^{n-m}$ и сформируем систему разрядных уравнений как

$$Y_1^{i+1} = Y_1^i + Y_2^i \varepsilon_1^i 2^{-(m+i+1)} + Y_3^i \varepsilon_2^i 2^{-(m+i+1)} + Y_4^i \varepsilon_1^i \varepsilon_2^i 2^{-(m+i+1)}$$

$$Y_2^{i+1} = Y_2^i - Y_1^i \varepsilon_1^i 2^{-(m+i+1)} + Y_4^i \varepsilon_2^i 2^{-(m+i+1)} - Y_3^i \varepsilon_1^i \varepsilon_2^i 2^{-(m+i+1)} \quad (9)$$

$$Y_3^{i+1} = Y_3^i + Y_4^i \varepsilon_1^i 2^{-(m+i+1)} - Y_1^i \varepsilon_2^i 2^{-(m+i+1)} - Y_2^i \varepsilon_1^i \varepsilon_2^i 2^{-(m+i+1)}$$

$$Y_4^{i+1} = Y_4^i - Y_3^i \varepsilon_1^i 2^{-(m+i+1)} - Y_2^i \varepsilon_2^i 2^{-(m+i+1)} - Y_1^i \varepsilon_1^i \varepsilon_2^i 2^{-(m+i+1)}$$

$$\alpha_{i+1}^i = \alpha_1^i - \varepsilon_1^{i-1} \varphi^{m+i}, \quad \varepsilon_1^i = \begin{cases} 1 & \alpha_1^i \geq 0 \\ -1 & \alpha_1^i < 0 \end{cases}; \quad \alpha_1^i = \alpha^{n-m} - \varphi^{m+i}$$

$$\beta_{i+1}^i = \beta_1^i - \varepsilon_2^{i-1} \varphi^{m+i}, \quad \varepsilon_2^i = \begin{cases} 1 & \beta_1^i \geq 0 \\ -1 & \beta_1^i < 0 \end{cases}; \quad \beta_1^i = \beta^{n-m} - \varphi^{m+i}$$

При моделировании быстропротекающих процессов достаточно часто возникает необходимость в применении параллельного многофункционального процессора для воспроизведения ряда макроопераций, синтезированных на базе единой архитектуры. К таким микрооперациям можно отнести операции деления, умножения и извлечения квадратного корня. При выполнении операции деления $X = Y/Z$,

представленной в форме $Y \sum_{i=1}^n 2^{-i} Z^i X=0$, базовой операцией является

операция $Y_i = Y_{i-1} - 2^{-i} \varepsilon_{i-1} Z^i$. В процессе моделирования операции умножения $X=Y Z$ рекуррентной операцией является $Y_i = Y_{i-1} - 2^{-i} \varepsilon_{i-1} Z^i Y$.

Вычисления $X = \sqrt{Y}$ реализуется на основе

операции $Y_i = Y_{i-1} - 2^{-i} \varepsilon_{i-1} X^2$.

$$Y = 2^{-1} X^{(1)} X + \sum_{i=1}^{n-1} 2^{-i} X^{(i+1)} X^i, \quad X^{(i+1)} = \begin{bmatrix} 1 & 2 & \dots & i-1 & 0 & 1 \end{bmatrix}^t$$

Совместная система разрядных уравнений формируется как

$$\begin{aligned} Y_i &= Y_{i-1} - 2^{-i} Z^i Y, \\ Y_i &= Y_{i-1} - 2^{-i} \varepsilon_{i-1} Z^i, \\ Y_i &= Y_{i-1} - 2^{-i} \varepsilon_{i-1} X^{(i+1)}, \end{aligned} \quad X = \begin{cases} 1 & Y_i \geq 0 \\ 0 & Y_i < 0 \end{cases} \quad \varepsilon_i = \begin{cases} 1 & X = 1 \\ -1 & X = 0 \end{cases} \quad (10)$$

При моделировании выражения (10) в многофункциональном процессоре воспроизводится значение Y_i и далее, в зависимости от настройки, вычисляется результат произведения Y_n или соответственно разряды X частного, либо корня. Аналогично можно записать совокупность разрядных уравнений для воспроизведения экспоненциальной $Y = e^X$ и логарифмической $X = \ln Y$ функции следующим образом

$$Y_{i+1} = Y_i + 2^i \varepsilon_i Y_i; \quad \varepsilon_i = \begin{cases} 1 & S_i \geq 0 \\ 0 & S_i < 0 \end{cases}; \quad S_i = S_{i-1} - \alpha_{i-1};$$

$$d_i = \begin{cases} X_{i+1} & \text{при } \varepsilon_i = 1 \\ -X_i + X_{i+1} & \varepsilon_i = 0 \end{cases} \quad (11)$$

$$X'_{i+1} = X'_i + X_i \varepsilon_i; \quad \varepsilon_i = \begin{cases} 1 & S_i \geq 0 \\ 0 & S_i < 0 \end{cases}; \quad S_i = S_{i-1} - \alpha_{i-1};$$

$$d'_i = \begin{cases} Y_i + 2^{-i} Y_i & \text{при } \varepsilon_i = 1; \\ -2^{-i} Y_i & \varepsilon_i = 0. \end{cases} \quad (12)$$

Многофункциональный матричный процессор для воспроизведения тригонометрических, гиперболических функций, а также операции поворота вектора формируется на системе рекуррентных базовых выражений вида

$$\begin{aligned} X_{i+1} &= X_i - \varepsilon_i Y_i 2^i; \\ Y_{i+1} &= Y_i - \varepsilon_i X_i 2^i; \end{aligned} \quad \varepsilon_i = \begin{cases} 1 & \text{при } \varphi_{i+1} \geq 0 \\ -1 & \text{при } \varphi_{i+1} < 0 \end{cases} \quad (13)$$

$$\varphi_{i+1} = \varphi_i - \Delta d_{i-1} \varepsilon_{i-1};$$

При этом, если воспроизводятся тригонометрические, гиперболические зависимости или поворот вектора, то начальные условия воспроизводятся соответственно

$$\begin{aligned} X_1 &= C_1 \cdot \sin \alpha_0; \quad Y_1 = C_1 \cdot \cos \alpha_0; \quad C_1 = \prod_{i=1}^n \cos \Delta \alpha_i \\ X_2 &= C_2 \cdot \operatorname{ch} \alpha_0; \quad Y_2 = C_2 \cdot \operatorname{sh} \alpha_0; \quad C_2 = \prod_{i=1}^n \operatorname{ch} \Delta \alpha_i \\ X_3 &= C_3 \cdot (\alpha \cos \alpha_0 + \beta \sin \alpha_0); \quad Y_3 = C_3 \cdot (\beta \cos \alpha_0 - \alpha \sin \alpha_0); \quad C_3 = \prod_{i=1}^n \cos \Delta \alpha_i \end{aligned}$$

В последние годы для решения нелинейных дифференциальных уравнений широкое развитие получили методы Т-преобразований. В работе предложен подход организации трехмерного цифрового генератора для воспроизведения функций в Т-области, а также рассмотрены вопросы построения параллельных вычислительных структур для генерации Т-спектров. В качестве примера рассмотрен вопрос синтеза параллельного процессора для вычисления Т-спектра функции $Y = \ln X$ путем моделирования в области изображений зависимости вида $\sum_{k=0}^n (1+1)X(k-1)Y(1+1) = (k+1)X(k+1)$.

Третья глава посвящена вопросам синтеза структурно-интер-

претированных микропроцессорных вычислительных систем на основе таблично-разрядных и многофункциональных процессоров. С точки зрения практического применения, и в теоретическом плане, весьма перспективной представляется организация микропроцессорной вычислительной системы таким образом, когда асинхронные таблично-разрядные процессоры используются для обработки информации во время реализации микропроцессором обмена данных с памятью или внешними устройствами т.е. в процессе реализации микропроцессором цикла шины. При такой организации вычислений микропроцессор за одно и то же время осуществляет не только запись или считывание из блока памяти или внешнего устройства, но и выполняет над этими данными макрооперации, групповые операции или другие преобразования, что определяется типом используемого таблично-разрядного процессора. Такой подход позволяет в полной мере использовать преимущества современной микропроцессорной техники и микроэлектронной технологии, а также существенно увеличить производительность вычислений. Особенностью архитектурной реализации разработанной микропроцессорной системы является применение в базовой конфигурации микропроцессорного комплекта таблично-разрядных процессоров, подключенных выходами с помощью шинных формирователей к мультиплексной шине микропроцессора. Такая структурная организация позволяет реализовать традиционный обмен данными между микропроцессором и внешними устройствами, а в случае, когда реализуется обмен данными с обработкой, то системным контроллером осуществляется автоматическое подключение мультиплексной шины микропроцессора к выходам параллельных вычислительных устройств.

Рассмотрена реализация микропроцессорной вычислительной системы, структурно-ориентированной на выполнение векторно-матричных преобразований и задач линейной алгебры. Приведен анализ производительности и эффективности предложенных вычислительных систем в зависимости от степени распараллеливания вычислений и размерности решаемых задач, показаны пути увеличения производительности вычислений, базирующиеся на декомпозиции решаемых задач и применении нескольких параллельно работающих процессоров. В этой же главе рассмотрена конкретная схемная реализация микропроцессорной вычислительной системы, ориентированная на

обработку первичных данных в реальном времени. Базовая конфигурация вычислительной системы формируется на основе микропроцессорного комплекта серии 1810, а в качестве СБИС-процессора используется интегральная схема К1518ВВ3. СБИС-процессор подключается к системной шине микропроцессора с помощью локальной шины и контроллера сопроцессора, что позволяет реализовать параллельную работу сопроцессора и микропроцессора, а также обмен данными в режиме ожидания сопроцессора. Контроль за состоянием СБИС-процессора и запуск осуществляется с помощью резидентной шины ввода-вывода.

В четвертой главе приводятся результаты экспериментальных исследований таблично-разрядных процессоров и микропроцессорных структурно-интерпретированных вычислительных систем. Приводятся описания и основные характеристики многофункциональных процессоров и таблично-разрядных процессоров для вычисления за один такт таких операций как извлечение квадратного корня, экспоненциальной, тригонометрической функции многофункциональных процессоров и др.

Изложены результаты машинного моделирования разрядных алгоритмов и вычислительных устройств на их основе, показано их преимущество по сравнению с существующими. Рассмотрены результаты экспериментальных исследований микропроцессорной вычислительной системы, аппаратно ориентированной на обработку первичных данных. Приведены результаты исследований сопроцессора для воспроизведения разл. ных функциональных зависимостей, макроопераций таких, как поворот вектора, и фрагментов математических моделей. Представлены технические характеристики и получены оценки эффективности системы.

ОСНОВНЫЕ РЕЗУЛЬТАТЫ РАБОТЫ

На основе анализа совместных свойств математических моделей, разрядных алгоритмов, структур, а также технологических особенностей изготовления СБИС разработан способ распараллеливания вычислений на уровне булевых переменных и на его базе ориентированные на современную интегральную технологию методы синтеза параллельных таблично-разрядных вычислительных структур. Изложены методы построения высокопроизводительных микропроцессорных систем, структурно-интерпретированных на решение

задач данного класса и обеспечивающих воспроизведение макроопераций, фрагментов математических моделей в процессе обмена данными микропроцессорным элементом с блоками памяти или внешними устройствами.

1. Для широкого класса математических моделей разработаны и предложены таблично-разрядные методы и алгоритмы распараллеливания вычислений, сочетающие табличную и разрядные формы обработки данных, обеспечивающие параллельный вычислительный процесс на уровне разрядов и ориентированные на интегральную технологию изготовления в виде СБИС.

2. Предложена концепция создания высокопроизводительных структурно-интерпретированных микропроцессорных систем на основе микропроцессорных комплектов и асинхронных параллельных вычислительных структур, реализующих моделирование достаточно сложных математических зависимостей в процессе обмена информацией, что позволяет существенно увеличить быстродействие и уровень машинного языка.

3. Предложены методы синтеза широкого класса сверхбыстродействующих таблично-разрядных вычислительных устройств и структур, включающих однородный матричный вычислитель и блок памяти для хранения промежуточных коэффициентов, которые в совокупности обеспечивают непрерывный процесс прохождения и обработки потока данных, ориентированных на интегральную реализацию и обработку скалярных данных, моделирование показательных, тригонометрических, гиперболических функций, а также сложных тригонометрических зависимостей, микроопераций и матрично-векторных преобразований.

4. На базе математического аппарата Т-преобразований предложены способы организации параллельных и таблично-алгоритмических процессоров для воспроизведения Т-функций, которые совместно с микропроцессорными системами обеспечивают реализацию нелинейностей в области Т-изображений.

5. Изложена методика синтеза высокопроизводительных однородных многофункциональных матричных процессоров, результат преобразования в которых определяется соответствующими наборами управляющих сигналов, а время преобразования задержкой сигналов между входными и выходными шинами вычислителя.

6. На базе разработанных таблично-разрядных и многофункциональных вычислительных структур предложены методы синтеза структурно-интерпретированных микропроцессорных систем, высокая производительность которых достигается благодаря совмещению процессов обработки и обмена информацией, выполняемой микропроцессором с блоками памяти или внешними устройствами. Это позволяет во время цикла записи или считывания воспроизводить заданный набор макроопераций или фрагментов математических моделей, опережаемые применяемыми типами таблично-разрядных процессоров.

7. Разработаны структурно-интерпретированные микропроцессорные вычислительные системы как широкого назначения так и функционально-ориентированные на моделирование матрично-векторных операций и задач линейной алгебры. Проведен анализ производительности и эффективности предложенных вычислительных систем в зависимости от степени распараллеливания и размерности решаемых задач, а также получены аналитические зависимости и графики для их оценки.

8. Разработан и изготовлен макет конкретной структурно-интерпретированной микропроцессорной системы, ориентированной на обработку первичных данных в реальном времени, включающей СБИС-процессор, управление которым осуществляется по резидентной шине ввода-вывода, а обмен информацией - по системной шине.

9. Проведены экспериментальные исследования таблично-разрядных процессоров и микропроцессорных вычислительных систем, в результате которых получен ряд экспериментальных показателей эффективности предложенных структур.

По теме диссертации опубликованы следующие работы:

1. Величко С.М. Построение параллельных процессоров на основе таблично-разрядных методов вычислений. - Киев, 1992. - 34с. (Препр. / АН Украины. Ин-т проблем моделирования в энергетике; 92-56).

2. Асриев И.Э., Чмут В.П., Хадиди М.А., Величко С.М. Многофункциональные параллельные вычислительные структуры. - Киев, 1993. - 40 с. - (Препр. / АН Украины. Ин-т проблем моделирования в энергетике; 93-59).

3. А.С. №777135 (СССР), МКИ G06 F7/544. Устройство для

вычисления функций в Т-области / Стасюк А.И., Григорян Г.С., Величко С.М., Мазурчук В.С., Лисник Ф.Е., Коростиль Ю.М. - Опубликовано 23.II.92. Бюл. № 43.

4. Решение о выдаче а.с. по заявке № 4848842 от 27.II.92 Микропроцессорный модуль / Стасюк А.И., Мазурчук В.С., Челышев А.А., Величко С.М., Головцова А.А., Овчарук М.Е.

5. Стасюк А.И., Мазурчук В.С., Величко С.М. Сверхбыстродействующая вычислительная система многофункционального применения для решения задач оперативного управления энергетическими объектами. - Тезисы докладов Всесоюзной научно-технической конференции "Математическое моделирование в энергетике". Часть 4. - Киев, 1990, с.121.

6. Стасюк А.И., Мазурчук В.С., Величко С.М. Сверхбыстродействующая микропроцессорная система для решения задач моделирования и управления. - Тезисы докладов четвертой научно-технической конференции "Проблемы нелинейной электротехники". Киев, 1992, с. 152.

Stasjuk,

Подписано в печать 16.11.93. Формат 60x84/16. Бумага типографс-
кая. Офсетная печать. Усл.кр.отт.б.Усл.печ.л.1,46 Уч. изд.Л1,25
Тираж 100 экз. Заказ №234-1 Цена Изд №229/Ш

Издательство КНИГА,
252058. Киев-58, проспект Космонавта Комарова, 1.

464506

AB 28.854

AB 28.854