

ДЕРЖАВНИЙ УНІВЕРСИТЕТ "ЛЬВІВСЬКА ПОЛІТЕХНІКА"

На правах рукопису

ЦМОЦЬ ІВАН ГРИГОРОВИЧ

УДК 681.325

ДОСЛІДЖЕННЯ І РОЗРОБКА ПРОГРАМОВАНИХ АПАРАТНО-РОЗШИРЮВАНИХ
ПРОЦЕСОРІВ ЦИФРОВОЇ ОБРОБКИ СИГНАЛІВ

Спеціальність 05.13.05. - Елементи та пристрої
обчислювальної техніки
і систем управління

А В Т О Р Е Ф Е Р А Т

дисертації на здобуття наукового ступеня
кандидата технічних наук

Львів 1994

НВ. 30.19.

Робота виконана у Львівському науково-дослідному
радіотехнічному інституті

ЛННБ України ім. В. Стефаника



00777542 (W)

Науковий керівник: доктор технічних наук
А. О. Мельник

Офіційні опоненти: доктор технічних наук,
професор В. Б. Дудикевич

кандидат технічних наук,
доцент Р. Б. Дунець

Провідне підприємство - Київський науково-дослідний інститут
радіовимірjuвальної апаратури

Захист дисертації відбудеться " 24 " червня 1994р. о
14 год. 00 хв. на засіданні спеціалізованої ради Д068.36.04
при Державному університеті "Львівська політехніка" (290013,
Львів, вул. Ст. Бандери, 12).

З дисертацією можна ознайомитись в бібліотеці Державного
університету "Львівська політехніка" (290013, Львів,
вул. Професорська, 1).

Автореферат розісланий "23" травня 1994р.

Вчений секретар спеціалізованої ради,
кандидат технічних наук

Я. Т. Луцик

ЛННБ ім. В. Стефаника
АН України

Метою дисертаційної роботи є дослідження принципів побудови і розробка методики синтезу ПАРП для вирішення задач ЦОС, дослідження та синтез базових структур ПАРП, їх процесорних ядер, швидкодіючих апаратних розширювачів і пристроїв інформаційного обміну.

Задачі дослідження. Згідно з поставленою метою задачами дослідження є:

1. Визначення особливостей задач і алгоритмів ЦОС, виділення базового набору операцій для їх реалізації, формулювання вимог до процесорів обробки сигналів (ЦОС) і визначення основних напрямків вдосконалення їх характеристик.

2. Вибір принципів побудови і синтезу базових структур ПАРП, процесорних ядер і апаратних розширювачів, оцінка їх швидкодії, затрат обладнання і ефективності його використання та розробка методики структурного синтезу ПАРП.

3. Розробка структури і алгоритмічних основ спеціалізованих операційних пристроїв для виконання базових операцій алгоритмів ЦОС з покращеними характеристиками за швидкістю і ефективністю використання обладнання.

4. Синтез пристроїв інформаційного обміну між процесорним ядром і апаратними розширювачами, вибір принципів побудови і синтезу структури інструментального комплексу розробки та налагодження ПАРП на робочих тактових частотах.

Методи дослідження. В дисертаційній роботі використовувались чисельні методи, теорія цифрових автоматів, методи проектування ВІС, методи математичного моделювання цифрових пристроїв, теоретичні основи ЕОМ, теорія обчислювальних систем, елементи теорії графів і методи ЦОС.

Наукова новизна отриманих результатів:

1. Запропоновано принципи побудови ПАРП, їх основних модулів, спеціалізованих операційних пристроїв та інструментального комплексу розробки і налагодження ПАРП на робочих тактових частотах.

2. Розроблена методика структурного синтезу ПАРП, яка доведена до практичних рекомендацій проектування.

3. Отримано аналітичні вирази для оцінки швидкодії, витрат обладнання і ефективності його використання для ПАРП, основних модулів і вузлів.

4. Вдосконалено алгоритми виконання базових операцій ЦОС: множення комплексних чисел на базі попередніх обчислень, який відрізняється від відомих меншою кількістю часткових добутоків і скороченим часом їх формування;

- піднесення до степеня на базі операції множення, який відрізняється від відомих одночасним аналізом декількох розрядів показника степеня і меншою кількістю операцій множення;

- сортування чисел методами одночасного попарного порівняння, витіснення, вставки і злиття, які відрізняються від відомих простотою реалізації і скороченням часу сортування.

5. Розроблено нові одно- і багатofункціональні конвейерні граф-алгоритмічні пристрої для виконання арифметичних операцій над дійсними і комплексними числами, піднесення до степеня, виконання базових операцій алгоритмів швидкого перетворення Фур'є (ШПФ) і Хартлі (ШПХ) та сортування чисел, які відрізняються від відомих підвищеними швидкістю і ефективністю використання обладнання.

Практичну цінність роботи становлять:

- методика структурного синтезу, доведена до практичних рекомендацій проектування, яка дозволяє на основі аналізу алгоритмів вирішення задачі, базових структур ПАРП, ПМ, ОМ та обмеження застосування синтезувати ПАРП для вирішення конкретної задачі ЦОС;

- вдосконалені алгоритми множення комплексних чисел, піднесення до степеня і сортування чисел, апаратна реалізація яких в вигляді конвейерних граф-алгоритмічних операційних пристроїв дозволила підвищити швидкість і ефективність використання обладнання;

- базові структури ПАРП і основних модулів, одно- і багатofункціональних конвейерних граф-алгоритмічних пристроїв для виконання арифметичних операцій над дійсними і комплексними числами, піднесення до степеня, виконання базових операцій алгоритмів ШПФ і ШПХ та сортування чисел, які використані при створенні високопродуктивних малогабаритних ПАРП для систем ЦОС радіолокаційних станцій, цифрового осцилографа і управління антеною, а також можуть бути використані як самостійні обчислювальні пристрої;

- структури пристроїв інформаційного обміну і формувачів адрес, які забезпечують ефективну взаємодію модулів в ПАРП та генерують послідовності адрес пам'яті для основних алгоритмів ЦОС.

Практична цінність і корисність результатів роботи підтверджується відповідними актами про впровадження результатів дисертаційної роботи в 3 НДР і 5 ДКР.

Реалізація і впровадження результатів роботи. Основний зміст дисертаційної роботи складають результати досліджень, які автор виконав самостійно в Львівському НДРІ в період 1978 - 1994 р.р.

Отримані в дисертаційній роботі результати були використані при створенні наступної апаратури :

- система ЦОС (блок АГ4) і інструментальні засоби її налагодження (стенд САГ4);
- процесор первинної обробки сигналів (блок АН3);
- процесор управління і обробки сигналів (модуль МПОС) та інструментальні засоби його налагодження (модуль ТПОС);
- процесор автоматичного пошуку і обробки інформації (блок МО4) та апаратура контролю, налагодження і проведення експериментів (блок КО4);
- процесори ШПФ (блок УЖ204), вторинної обробки сигналів (УБ142) і інструментальні засоби їх налагодження (стенди СУЖ204 і СУБ142);
- процесор управління приводом антени (блок УАТ-11) і інструментальні засоби налагодження (модуль ТПОС);
- процесор первинної обробки сигналів (блок КБО62) і інструментальні засоби налагодження (стенд СКБО62);
- процесори первинної (ЗБПО2) і вторинної (ЗБПО31) цифрової обробки сигналів, а також інструментальні засоби налагодження (стенди СЗБПО2 і СЗБО31).

З використанням результатів дисертаційної роботи в рамках ДКР "Фільтр-М" і "Фільтр-С" був розроблений комплект напівавтономних КМОП ВІС для процесорів обробки сигналів в складі: арифметичного пристрою 4.601 ВЖ3-002, формувача адрес 4.601 ВЖ3-003, помножувача комплексних чисел 4.601 ВЖ3-006, комутатора з пам'яттю 4.601 ВЖ2-027. Комплект ВІС випускається заводом НВО "Фізика" (м. Москва).

Більшість створеної апаратури ЦОС захищена авторськими свідоцтвами. Економічний ефект від впровадження результатів дисертаційної роботи перевищує 1 млн.крб. на початок 1991р.

Апробація роботи. Основні результати дисертаційної роботи доповідались і обговорювались на симпозиумах, конференціях і семінарах:

- Всесоюзній конференції "Методы и микроселектронные средства цифрового преобразования и обработки сигналов", Рига, 1986р.
- VI семінарі по однорідних обчислювальних середовищах і систематичних структурах, Львів, 1987р.;
- VI Всесоюзному симпозиумі "Проблемы создания преобразователей формы информации", Київ, 1988р.;

- Всесоюзній науково-технічній конференції "Спеціалізована елементарна база для РЗА", Ташкент, 1989р.;

- міжнародній конференції "Latvian Signal Processing International Conference", Рига, 1990р.;

- XVI семінарі по однорідних середовищах і систолических структурах, Львів, 1993р.;

- семінарі "Применение микроконтроллеров на базе ОМ ЗЕМ. БМК, ПЛИС в народном хозяйстве", Київ, 1993р.

Публікації по роботі: За результатами дисертаційної роботи опублікована 51 робота. В роботах, що виконані у співавторстві частка творчого вкладу кожного із співавторів однакова.

На захист виносяться:

1. Методика структурного синтезу ПАРП для вирішення задач ЦОС, базові структури ПАРП і основних модулів.

2. Вдосконалені алгоритми виконання операцій: множення комплексних чисел на базі попередніх обчислень з одночасним аналізом декількох розрядів множника; піднесення до степеня на базі операції множення з одночасним аналізом декількох розрядів показника степеня; сортування чисел методами попарного порівняння, витіснення, вставки і злиття.

3. Нові структури швидкодіючих високоефективних одно- і багатофункціональних конвейєрних граф-алгоритмічних пристроїв для виконання арифметичних операцій над дійсними і комплексними числами, піднесення до степеня, базових операцій алгоритмів ШПФ і ШПХ, обчислення квадратного кореня з суми квадратів двох і трьох чисел, сортування чисел, а також результати кількісної оцінки і порівняльного аналізу.

4. Нові структури пристроїв інформаційного обміну і формувачів адрес для ПАРП.

5. Принципи побудови інструментального комплексу розробки і налагодження ПАРП та його структура.

Структура і об'єм роботи. Дисертація складається з вступу, п'яти розділів, висновків і списку літератури, викладених на 241 сторінках машинописного тексту, з яких 158 сторінок - основний текст, 65 сторінок - таблиці і ілюстрації, 8 сторінок - висновки по розділах, 10 сторінок - список літератури з 107 назв.

ОСНОВНИЙ ЗМІСТ РОБОТИ

У вступі обґрунтовується актуальність теми, формулюється мета і основні задачі дослідження, розкривається наукова новизна та практичне значення отриманих результатів.

У першому розділі на основі розгляду областей застосування ЦОС, задач, які вирішуються в межах кожної області, аналізу основних алгоритмів обробки та сучасних ЦОС, визначено особливості задач і архітектур ЦОС, виділено базові операції алгоритмів, сформульовано вимоги до ЦОС і запропоновано шляхи покращення їх характеристик.

Розглянуто області застосування ЦОС (радіолокація, гідроакустика, авіарк. геофізика і інші), задачі, які вирішуються в межах кожної області, і визначено найбільш характерні їх особливості, до числа яких віднесено: великий обсяг обчислень з перевагою обчислювальних операцій над логічними; велика інтенсивність і постійність потоку даних; широкий динамічний і частотний діапазон сигналів, що обробляються; регулярність і рекурсивність алгоритмів; можливість розпаралелення процесу обробки, як в часі, так і просторі; постійне ускладнення нових алгоритмів і підвищення вимог до точності обробки. Показано, що незважаючи на широкий перелік і різноманітність застосувань ЦОС, кількість алгоритмів, які використовуються для обробки, є порівняно невеликою. Це, в основному, є алгоритми перетворень і фільтрації сигналів. На основі проведеного аналізу цих алгоритмів виділені базові операції: додавання, віднімання, множення і ділення дійсних та комплексних чисел, обчислення суми парних добутків і тригонометричних функцій, добування квадратного кореня, піднесення до степеня, сортування, медіанна фільтрація, базові операції алгоритмів ШПФ і ШПХ. Показано, що ці операції є операційною основою апаратури ЦОС.

Специфіка задач і алгоритмів ЦОС накладає певні вимоги на архітектуру ЦОС, які відрізняють її від архітектур більшості універсальних процесорів. Проведений аналіз архітектур ЦОС дозволив виділити найбільш характерні особливості, до числа яких в першу чергу відносяться: наявність арифметичного пристрою, здатного виконувати операції множення з накопиченням; здатність підтримувати конвейерну обробку; короткий командний цикл і виконання більшості команд за один цикл; наявність команд для виконання арифметичних операцій з підвищеною точністю; спеціальна система обміну та наявність спеціалізованих пристроїв для виконання базових операцій

ПОС. Необхідність обробки сигналів, які представляються в цифровій формі масивами даних, в широкому частотному діапазоні по алгоритмах з квадратною і кубічною залежністю кількості обчислювальних операцій від величини масиву, ставить перед ПОС високі вимоги до продуктивності. Крім того в багатьох галузях застосування ПОС, особливо в системах спеціального призначення, до ПОС висувуються жорсткі вимоги, щодо габаритів, споживаної потужності, надійності, умов експлуатації, а також вимоги до швидкості перевірки працездатності, виявлення, локалізації та усунення несправності. Щоб задовільнити ці вимоги запропоновані шляхи вдосконалення характеристик ПОС на рівні схемотехнічних і архітектурних рішень. На схемотехнічному рівні запропоновано: модернізація елементної бази, застосування ВІС та однокристальних програмованих мікропроцесорів; збільшення обсягів оперативної пам'яті та використання розподіленої по пристроях буферної пам'яті; застосування апаратних розширювачів. На архітектурному рівні запропоновано: удосконалювання структурної і логічної організації ядра ПОС, що направлене на підвищення продуктивності і забезпечення модульної побудови ПОС; збільшення швидкодії каналів введення-виведення та розширення їх функцій; зменшення кількості внутрішньопроцесорних обмінів інформацією; суміщення в часі процесів функціонування максимальної кількості вузлів ПОС.

У другому розділі проводиться вибір принципів побудови і синтезу базових структур ПАРП та основних модулів, а також розробка аналітичних виразів для оцінки швидкодії, витрат і ефективності використання обладнання та методики структурного синтезу ПАРП.

Вибір вручної форми зображення алгоритму є важливою задачею знаходження способів найбільш ефективного його розпаралелення в ПАРП, або найбільш ефективного варіанту його апаратної реалізації. Для рішення такої задачі в роботі використовується відома ярусно-паралельна форма зображення алгоритму, яка забезпечує можливість знаходження просторово-часових співвідношень, що використовуються при виборі структур ПАРП і спеціалізованих операційних пристроїв. Зображення алгоритму в ярусно-паралельній формі може бути здійснено з різною ступенню його деталізації, в залежності від засобів реалізації. Кожний алгоритм може бути реалізований за допомогою одного з трьох засобів: програмних, мікропрограмних чи апаратних.

На сучасному етапі розвитку обчислювальної техніки найбільш перспективним є підхід, що передбачає сполучення програмних і апа-

ратних засобів. Такий підхід використовується в ПАРП, що створюються на базі процесорного ядра і апаратних розширювачах. В основу побудови таких ПАРП в роботі запропоновано покласти наступні принципи:

- модульність побудови, яка передбачає реалізацію процесорного ядра і апаратних розширювачів в вигляді модулів;
- процесорну організацію апаратних розширювачів;
- суміщення в часі роботи процесорного ядра і апаратних розширювачів;
- перекладення на апаратні розширювачі виконання найбільш часомістких операцій алгоритмів ПСС.

Основним модулем ПАРП є процесорний модуль (ПМ), який будується на базі швидкодіючого однокристалного програмованого процесора обробки сигналів (ОППОС) з архітектурою, орієнтованою на задачі ПСС. Порівняння параметрів і структур ОППОС різних фірм показує, що відмінність кристалів різних фірм одного покоління незначна через близькість технології виготовлення та архітектури. Така схожість ОППОС одних поколінь дозволяє для кожного з них розробити базову структуру ПМ, яку можна використовувати для синтезу ПМ конкретного застосування. Для ОППОС першого покоління в роботі розроблено базову структуру ПМ шляхом доповнення його пристроями керування і мікропроцесорного зв'язку, зовнішньою пам'яттю програм і даних, розширювачами портів введення-виведення і буферними підсилювачами. Особливістю такої структури є розділення шини даних ПМ на внутрішню і зовнішню, що дозволяє підвищити завадостійкість, виключити вплив на його роботу інших модулів і сумістити в часі їх роботу з роботою ПМ. При розробці базових структур ПМ для наступних поколінь ОППОС, кількість додаткових пристроїв і їх складність зменшується. Таке явище пов'язане з тим, що в кожному наступному поколінні ОППОС удосконалюється і розвивається зовнішній інтерфейс, а також збільшується кількість пристроїв із зовнішнього обрамлення, яка переноситься на кристал.

Функції апаратних розширювачів в ПАРП виконують обчислювальні модулі (ОМ). В основу структурної організації ОМ запропоновано покласти принцип процесорної організації, який передбачає входження до їх складу пристроїв керування, зберігання і обробки. ОМ підключаються до ПМ як зовнішні пристрої, які завантажуються операандами по мірі необхідності виконання обчислень у відповідності до основної програми. Реалізація обчислень в ОМ в основному здійс-

нюється за допомогою одно- і багатофункціональних конвейєрних граф-алгоритмічних операційних пристроїв (КГАОП), в основу структурної організації яких запропоновано покласти принцип апаратного відображення графа алгоритму, що зображений в ярусно-паралельній формі, де кожний функціональний оператор реалізується відповідними операційними блоками, а зв'язки між ними є каналами передачі даних.

В роботі розроблено базові структури ОМ нерекурсивного і рекурсивного типів, включаючи структури з паралельним включенням КГАОП, особливістю яких є відповідно відсутність і присутність оберненого зв'язку в операційному пристрої. В нерекурсивному ОМ весь алгоритм обчислення базової операції виконується за один прохід даних через операційний пристрій, а в рекурсивному ОМ - за декілька проходів. Нерекурсивним ОМ властива висока швидкодія, великі витрати обладнання і простота керування, а рекурсивним - малі витрати обладнання, невисока швидкодія і складне керування. На основі запропонованих базових структур ОМ можуть бути синтезовані структури ОМ для виконання конкретних операцій з відповідними вимогами.

В роботі запропоновано базові структури ПАРП з спільною шиною, з програмованими каналами зв'язку між ОМ та на основі багатопортової пам'яті. Найбільш простою структурою для реалізації ПАРП є структура з спільною шиною, яка характеризується одним інтерфейсом, відсутністю постійних зв'язків між модулями та простотою збільшення і зменшення кількості модулів. В такому ПАРП основні обчислювальні потужності зосереджені в ПМ, а ОМ приймають обмежену участь в вирішенні задачі і використовуються епізодично для виконання окремих базових операцій. Розвитком структури ПАРП з спільною шиною є структура з програмованими каналами зв'язку між ОМ. В цьому ПАРП основна частина апаратних витрат і вартості припадає на комутуюче середовище (КС) і ОМ. Задача в такому ПАРП в основному вирішується на ОМ, а ПМ приймає обмежену участь в вирішенні задачі і в основному використовується для реалізації операторів, які не ефективно реалізуються в ОМ, а також для виконання функцій введення-виведення інформації, завантаження операндами ОМ, програмування КС та керування обчислювальним процесом. Гнучкішою за інші структури є структура ПАРП на базі багатопортової пам'яті, яка дозволяє використовувати в повному обсязі обчислювальні потужності всіх модулів, а також здійснювати з'єднання модулів в відповіднос-

ті до структури алгоритмів задачі, яка вирішується. На основі запропонованих базових структур ПАРП можуть бути синтезовані структури ПАРП для вирішення конкретної задачі з відповідними вимогами. В роботі запропонована методика структурного синтезу ПАРП, яка дозволяє на основі аналізу алгоритмів вирішення задачі, базових структур ПАРП, ПМ і ОМ, та обмежень застосування визначити типи і кількість модулів. Їх характеристики, обсяг пам'яті програм і даних та на їх основі синтезувати ПАРП з необхідними характеристиками.

Витрати обладнання на ПАРП складаються з витрат на його складові частини:

$$W_{\text{ПКР}} = W_{\text{ПМ}} + W_{\text{ВВ}} + W_{\text{ВВ}} + W_{\text{ВВ}} + W_{\text{ВВ}} + \sum_{i=1}^1 W_{\text{ОМ}i},$$

де доданками є витрати обладнання на ПМ, пристрої введення-виведення, зовнішню пам'ять та на i -й ОМ. На основі результатів аналізу бібліотек елементів базових матричних кристалів 4.601ЕЖЗ, 4.К603ВЖ2, 4.К603ВЖ3, 4.К603ВЖ10 визначені витрати обладнання на логічні і функціональні елементи та отримані аналітичні вирази для оцінки витрат і часу спрацювання основних функціональних вузлів ПАРП (регістр, комутатор, дешифратор, суматор, помножувач і т.д.), де одиницями виміру є відповідно логічний вентиль і час його спрацювання (τ вентилля). З використанням цих результатів отримано аналітичні вирази для оцінки витрат обладнання і такту роботи КГАОП. Витрати обладнання в вентилях на модулі і ПАРП запропоновано визначати через суму витрат на їх всі складові, які представлені на рівні функціональних елементів, вузлів і КГАОП. В роботі запропоновано вираз для оцінки швидкодії ПАРП:

$$V = Q / [N (1-E_1) / f_1 K_1 + T_{\text{ПМ}j} + T_{\text{ОМ}i} + \sum_{i=1}^1 T_{\text{ОМ}i} (1-E_{\text{ОМ}i}) + M (1-E_2) / f_2 K_2],$$

де Q - кількість операцій, необхідних для вирішення задачі; $T_{\text{ПМ}j}$, $T_{\text{ОМ}i}$, $T_{\text{ОМ}i}$ - час виконання ПМ j -х алгоритмів, ОМ i -их базових операцій і обміну між ПМ і ОМ; E_1 , E_2 , $E_{\text{ОМ}i}$ - коефіцієнти часового суміщення операцій введення, виведення інформації та виконання обчислень; f_1 , f_2 - частота поступлення даних і видачі результатів; K_1 , K_2 - кількість вхідних і вихідних каналів; N , M - розмірність масивів вхідних даних і результатів.

Для оцінки ефективності структур операційних пристроїв модулів і ПАРП в роботі запропоновано одиницю виміру ефективності, яка визначає внесок одиниці обладнання в загальну швидкодію. Отримано вирази для оцінки ефективності базової структури ПАРП.

У третьому розділі досліджуються і розробляються алгоритми та структури одно- і багатофункціональних граф-алгоритмічних пристроїв для виконання арифметичних операцій над дійсними і комплексними числами, піднесення до степені, добування кореня, сортування чисел, медіанної фільтрації, обчислення тригонометричних функцій, виконання базових операцій алгоритмів ШПТ і ШПХ. Проводиться кількісна оцінка розроблених структур за швидкодією, витратами і ефективністю використання обладнання, визначаються галузі їх застосування.

Операції множення, ділення і добування квадратного кореня є складними операціями і реалізуються на основі послідовності більш простих операцій додавання, віднімання, інверсії і зсування. Виділено два основні підходи до створення конвейерних помножувачів (КПМ): з послідовним формуванням та підсумовуванням часткових добутків і з одночасним формуванням всіх часткових добутків та подальшим їх одночасним підсумовуванням. При першому підході проектування КПМ зводиться до синтезу однієї сходинки конвейера і послідовного з'єднання таких сходинок. При другому підході КПМ будуватиметься на базі багатоходового конвейерного суматора, має меншу початкову затримку і вимагає менших витрат обладнання. Показано, що структури КПМ з аналізом двох і більше розрядів множника є кращими, ніж структури з аналізом одного розряду, як за витратами обладнання, так і за ефективністю його використання. Запропоновано алгоритми множення чисел з аналізом одного розряду використовувати при побудові багатофункціональних конвейерних арифметичних пристроїв. В роботі розроблені і досліджені структури конвейерних пристроїв ділення і добування квадратного кореня, обчислення в яких виконується за алгоритмами з відновленням і без відновлення залишку. Показано, що для конвейерної реалізації операцій ділення і добування квадратного кореня немає суттєвої різниці в тому який з двох алгоритмів використовувати. Розроблені структури одно- і багатофункціональних конвейерних арифметичних пристроїв, які забезпечують проведення обчислень з подвійною точністю.

На основі структур однофункціональних конвейерних пристроїв множення з аналізом одного розряду, ділення і добування квадратного кореня без відновлення залишку, синтезовані структури багато-

функціональних конвейрних пристроїв для виконання операцій множення, ділення і добування квадратного кореня.

Для високошвидкісних застосувань ЦОС актуальним питанням є розробка швидкісних помножувачів комплексних чисел (ПКЧ). В роботі проведено пошук ефективних алгоритмів множення комплексних чисел для побудови ПКЧ. Показано, що такими алгоритмами є алгоритми, процес обчислення добутку в яких розглядається як виконання єдиної операції та базується на операціях додавання, інверсії і зсування. За формуванням часткових добутків такі алгоритми розділені на два типи: з прямим формуванням часткових добутків і з формуванням на базі попередніх обчислень. Досліджено, що застосування попередніх обчислень для формування часткових добутків зменшує їх кількість в два рази. Проведено удосконалення алгоритму множення комплексних чисел на базі попередніх обчислень з аналізом одного розряду, яке дозволило зменшити кількість часткових добутків в два рази. Таке зменшення досягнуто за рахунок аналізу множника групами по три розряди, де сусідні групи мають спільний розряд. Для кожної i -ої групи розрядів формування i -го часткового добутку $P_i = \text{Re}P_i + j\text{Im}P_i$ запропоновано виконувати згідно виразу $P_i = \text{Re}A \cdot K_{\text{Re}B_i} - \text{Im}A \cdot K_{\text{Im}B_i} + j(\text{Re}A \cdot K_{\text{Im}B_i} + \text{Im}A \cdot K_{\text{Re}B_i})$, де

$$K_{\text{Re}B_i} = \begin{cases} 2, & \text{коли } \text{Re}B_{i1}=0, \text{Re}B_{i2}=\text{Re}B_{i3}=1; \\ 1, & \text{коли } \text{Re}B_{i1}=0, \text{Re}B_{i2} \neq \text{Re}B_{i3}; \\ 0, & \text{коли } \text{Re}B_{i1}=\text{Re}B_{i2}=\text{Re}B_{i3}; \\ -1, & \text{коли } \text{Re}B_{i1}=1, \text{Re}B_{i2} \neq \text{Re}B_{i3}; \\ -2, & \text{коли } \text{Re}B_{i1}=1, \text{Re}B_{i2}=\text{Re}B_{i3}=0; \end{cases}$$

$$K_{\text{Im}B_i} = \begin{cases} 2, & \text{коли } \text{Im}B_{i1}=0, \text{Im}B_{i2}=\text{Im}B_{i3}=1; \\ 1, & \text{коли } \text{Im}B_{i1}=0, \text{Im}B_{i2} \neq \text{Im}B_{i3}; \\ 0, & \text{коли } \text{Im}B_{i1}=\text{Im}B_{i2}=\text{Im}B_{i3}; \\ -1, & \text{коли } \text{Im}B_{i1}=1, \text{Im}B_{i2} \neq \text{Im}B_{i3}; \\ -2, & \text{коли } \text{Im}B_{i1}=0, \text{Im}B_{i2}=\text{Im}B_{i3}=0. \end{cases}$$

Визначено, що для формування часткових добутків по цьому алгоритму необхідно попередньо виконати шість наступних обчислень: $\text{Re}A + \text{Im}A$, $\text{Re}A - \text{Im}A$, $2\text{Re}A + \text{Im}A$, $2\text{Re}A - \text{Im}A$, $2\text{Im}A + \text{Re}A$ і $2\text{Im}A - \text{Re}A$. Розроблені структури ПКЧ з послідовною і паралельною реалізацією алгоритмів, як з прямим формуванням часткових добутків, так і на базі попередніх обчислень. Показано, що структури ПКЧ з формуванням часткових добутків на базі попередніх обчислень кращі структур з прямим формуванням часткових добутків як за швидкістю, так і за витратами обладнання.

В роботі розглянуто два підходи до реалізації пристроїв ділення комплексних чисел (ДКЧ): на основі операцій ділення, множення, додавання та піднесення до квадрату і на основі операцій додавання, інверсії та зсування. Показано, що перший підхід доцільно використовувати при побудові ДКЧ на окремих мікросхемах, а другий - при реалізації ДКЧ в вигляді ВІС. При реалізації ділення комплексних чисел з використанням другого підходу для обчислення виразів $ReAReB+ImAImB$, $ImAReB-ReAImB$ і ReB^2+ImB^2 запропоновано використовувати алгоритми обчислення парних добутків з формуванням часткових результатів на основі попередніх обчислень. З використанням першого і другого підходів розроблені структури ДКЧ. На основі структур ДКЧ та ДКЧ синтезовані структури багатofункціональних пристроїв для виконання операцій множення і ділення комплексних чисел. Отримані аналітичні вирази для оцінки розроблених одноі багатofункціональних арифметичних пристроїв за швидкістю і витратами обладнання, проведено порівняння їх по цих параметрах.

В роботі для обчислень степенів вигляду A^m за даними A і m запропоновано використовувати бінарні алгоритми зменшення кількості множень з послідовним аналізом розрядів показника степеня m , що записаний в двійковій системі числення, починаючи з молодших або старших розрядів. Проведено удосконалення цих алгоритмів, яке дозволило зменшити кількість множень в 1 разів. Таке зменшення досягнуто за рахунок одночасного аналізу і розрядів показника степеня. Удосконалений бінарний алгоритм обчислення A^m з послідовним аналізом показника степеня групами по 1 розрядів починаючи з молодших має вигляд

$$A^m = \prod_{p=1}^N A_p^{2^{l(p-1)}}, \quad \text{де} \quad N = \frac{[\log_2 m] + 1 - 1}{1}$$

$$A_p = A^{mp1 \cdot mp2 \dots mp1}$$

$$\text{а починаючи з старших} - A^m = \prod_{p=1}^N F_p^{2^l}, \quad \text{де} \quad F_p = F_{p-1}^{mp1 \cdot mp2 \dots mp1}, \quad F_0 = 1.$$

Визначено, що при апаратній реалізації цих алгоритмів найменші витрати обладнання будуть при $l=2$. Виділені два основні підходи до побудови конвейерних пристроїв піднесення до степеня: з одночасним формуванням часткових результатів піднесення до степеня та подаль-

шим їх перемноженням і в послідовним формуванням та перемноженням часткових результатів піднесення до степеня. Показано, що для першого підходу доцільніше використовувати удосконалений алгоритм з послідовним аналізом груп розрядів показника степеня, починаючи з молодших, а для другого - удосконалений алгоритм з послідовним аналізом груп розрядів, починаючи зі старших. З використанням першого і другого підходів розроблені конвейерні пристрої, які апаратно реалізують удосконалені бінарні алгоритми обчислення A^n . Отримано аналітичні вирази для оцінки розроблених пристроїв піднесення до степеня за швидкістю і витратами обладнання, проведено їх порівняння за цими параметрами. На базі пристроїв піднесення до степеня розроблено структуру пристрою обчислення коренів $\sqrt[n]{A}$ за даними A і n .

В роботі розроблені структури пристроїв для виконання базових операцій алгоритмів ШМ і ШТХ, особливістю яких є залежність тривалості такту від значення вагових коефіцієнтів. На базі розроблених в роботі ПКЧ, АП і ФА синтезовано лотоковий пристрій ШМ. Проведений аналіз методів обчислення та синтез пристроїв для обчислення тригонометричних функцій і виразів $\sqrt{A^2+B^2}$, $\sqrt{A^2+B^2+C^2}$. Показано, що застосування алгоритмів наближеного обчислення для реалізації цих функцій дозволяє суттєво зменшити витрати обладнання на їх побудову.

Для вирішення багатьох задач ЦОС вимагається сортування масивів чисел в реальному масштабі часу, які надходять паралельно або послідовно по одному чи по декількох каналах. В роботі для вирішення таких задач проведено дослідження алгоритмів сортування, яке показало, що базовою операцією цих алгоритмів є порівняння двох чисел, а швидкістю визначається кількістю базових операцій, що виконуються одночасно. Для паралельного сортування масивів чисел на базі методів вставки, злиття та одночасного попарного порівняння всіх чисел розроблено паралельні алгоритми та синтезовано конвейерні граф-алгоритмічні пристрої сортування чисел (ПСЧ). Показано, що структури ПКЧ з одночасним попарним порівнянням всіх чисел масиву мають високу швидкість і вимагають для своєї побудови значних витрат обладнання. Структури ПСЧ, які реалізують паралельні алгоритми сортування чисел методом вставки і злиття є однорідними і в порівнянні з ПСЧ на базі одночасних попарних порівнянь вимагають для своєї реалізації менших витрат обладнання і мають меншу швидкість. Кількість схем порівняння, яка необхідна для побудови ПСЧ з

паралельною реалізацією алгоритмів, рівна $(m^2-m)/2$, де m - кількість чисел в масиві.

Для сортування масивів чисел, які надходять послідовно по одному або по k каналах на базі методів вставки, злиття та витіснення розроблені послідовні алгоритми та синтезовані конвейерні граф-алгоритмічні ПСЧ, в яких процеси приймання даних, сортування і видачі результатів сумішені в часі. Апаратні засоби, які реалізують базові операції алгоритмів сортування утворюють елемент сортування (сходинку конвейера). Показано, що кількість елементів сортування в конвейерному ПСЧ залежить від величини масиву m , кількості каналів k приймання і видачі інформації та алгоритму сортування. Для конвейерних ПСЧ, які реалізують послідовні алгоритми сортування чисел на базі методів витіснення, вставки і злиття, кількість елементів сортування відповідно рівна $m/2k$, $m-1$ і $\log_2 m/k$. Порівняння за швидкодією конвейерних ПСЧ з послідовною реалізацією алгоритмів показало, що найбільш швидкодіючим є ПСЧ з реалізацією алгоритмів вставки. Отримано аналітичні вирази для оцінки розроблених структур ПСЧ за швидкодією і витратами обладнання та проведено їх порівняння за цими параметрами. Показано, що найбільш ефективними за використанням обладнання серед розроблених ПСЧ з паралельною і послідовною реалізацією алгоритмів є ПСЧ з реалізацією алгоритмів злиття.

В четвертому розділі проводиться дослідження і розробка структур пристроїв обміну (ПО), формувачів адрес (ФА) пам'яті, формулювання вимог до інструментальних засобів розробки і налагодження ПАРП, вибір принципів їх побудови, розробка структур інструментального комплексу (ІК) і внутрішньосхемного емулятора (ВСЕ) та вибір апаратних модулів ІК.

Ефективність ПАРП в значній мірі визначається принципами організації взаємодії між ПМ і ОМ. Виходячи з можливостей ПМ і ОМ операції обміну між ними запропоновано організувати по принципу "ведучий-ведений", поклавши на ПМ роль ведучого. Модулям ОМ, як веденим, присвоюються адреси із адресного простору портів введення-виведення ПМ. Обмін між ПМ і ОМ здійснюється через ПО по внутрішньопроекторній магістралі з застосуванням одного із двох принципів синхронізації: синхронного або асинхронного. В першому випадку передбачається повна синхронність роботи ПМ і ОМ зі здійсненням обміну в визначені моменти часу. У другому випадку обмін інформацією здійснюється через нерегулярні проміжки часу з використанням механізмів переривання або прапорців.

В роботі проведено розробку і дослідження структур ПО з прямою передачею даних і з їх буферизацією. Показано, що ПО з прямою передачею даних будуються на базі регістрів і ефективно використовуються при послідовному обміні з повільними ОМ і периферійними пристроями. ПО з буферизацією даних будуються на базі буферної пам'яті і забезпечують значне зменшення часу при обміні масивами даних, особливо при обміні між ПМ і ОМ з рівною швидкістю виконання операцій введення і виведення інформації. Показано, що буферною пам'яттю в ПО може бути стек типу FIFO, або оперативний запам'ятовувальний пристрій (ОЗП). Обмін даними через ПО на базі стеку є більш простим і швидкісним, ніж обмін через ПО на базі ОЗП. Організація обміну через стек типу FIFO дозволяє з допомогою звертання до одного порту здійснювати доступ до множини даних, а також зберегти розподілену в часі інформацію. ПО на базі ОЗП має ширші функціональні можливості, ніж ПО на базі стеку, так як дозволяє змінювати порядок запису і читання інформації. Для повного використання часу між звертаннями до ОЗП, а також для підвищення завантажувальності запропоновано ввести в ПО конвейерні реєстри. За організацією обміну ПО з буферизацією даних розділено на два типи: з почерговим і з одночасним доступами. Проведено дослідження цих ПО, де показано, що ПО першого типу будуються на базі однієї буферної пам'яті і забезпечує обмін інформацією за час удвічі більший, ніж ПО другого типу, який може будуватися, як на базі двох, так і на базі однієї буферної пам'яті. Для побудови ПО другого типу на базі однієї буферної пам'яті використовується ОЗП, який зв'язаний з шинами даних ПМ і ОМ через конвейерні реєстри. Одночасний обмін в цьому ПО забезпечується організацією запису (читання) інформації від двох модулів за один період обміну більш швидкісного модуля. Визначено залежність швидкості ОЗП від періоду обміну і навпаки.

Визначено, що особливістю більшості алгоритмів ПОС є необхідність перестановки елементів вхідного або вихідного масиву даних, а також проміжних результатів обчислень. Ця перестановка в ПАРП здійснюється шляхом формування необхідної послідовності адрес пам'яті при запису або читанні. В роботі для вирішення такої задачі на базі лічильника синтезовані і досліджені структури ФА з формуванням послідовності адрес трьома способами: з'єднанням виходів лічильника з відповідними адресними входами пам'яті, за допомогою

таблиць і програмуванням. Показано, що основним недоліком структур ФА з першими двома способами формування адрес є складність аміни порядку їх формування. Універсальнішим є ФА, в якому алгоритм формування послідовності адрес задається шляхом програмування універсального комутатора. В цьому ФА процес генерації адрес сумішений в часі з процесом програмування. Визначено, що максимальна кількість тактів програмування залежить від розрядності адрес.

Доведено, що вартість і час проектування ПАРП в значній мірі визначається наявністю для нього інструментальних засобів розробки і налагодження. В роботі для розробки і налагодження ПАРП запропоновано створити на базі ПЕОМ ІК із змінним складом обладнання і покласти в основу його структурної організації наступні принципи: модульності, магістральності і програмованості. Визначено, що апаратне ядро ІК повинно складатися з ПЕОМ, крейта та модуля зв'язку з ПЕОМ, а програмне ядро - з керуючої програми. Апаратне і програмне ядра ІК повинні володіти властивістю розширення, яка є основною передумовою створення на їх базі ІК з різними функціональними можливостями. Показано, що задача розробки апаратної частини таких ІК розглядається як задача вибору і розробки набору модулів, а також вирівнювання питань зв'язку між цими модулями і ПАРП. Формування апаратної конфігурації ІК для конкретного ПАРП виконується встановленням в крейт відповідного набору модулів. Всі апаратні модулі ІК повинні бути програмно-керованими, конструктивно і функціонально завершеними пристроями. Визначено, що при створенні ІК можуть використовуватись наступні апаратні модулі: внутрішньосхемний емулятор (ВСЕ) для ОППОС, накопичувач-аналізатор результатів обчислень, генератор керуючих сигналів, генератор вхідних інформаційних сигналів, таймер і регістратор-трасувальник.

В роботі розроблена і досліджена структура ВСЕ для ОППОС першого покоління. Визначено функції ВСЕ, розглянуті проблемні питання, які виникають при проектуванні ВСЕ.

У п'ятому розділі наведені створені з використанням результатів дисертації ПАРП, інструментальні засоби розробки і налагодження ПАРП, комплект напівзамовлених КМОН ВІС та розглянуті шляхи подальшого розвитку ПАРП і комплекту ВІС.

До основних розробок виконаних при безпосередній участі автора з використанням результатів дисертації відносяться: комплект напівзамовлених ВІС в складі: формувача адрес (4.601ВЖЗ-003), помножувача комплексних чисел (4.601ВЖЗ-006), арифметичного прист-

рою (4.601ВЖЗ-002) і комутатора з пам'яттю (4.601ВЖЗ-0027); три варіанти ПАРП для первинної обробки сигналів (ЗБПОЗ, КВ062, АНЗ), які мають швидкодію більше 300 млн. операцій в секунду типу множення/додавання, об'єм апаратури від 2 дм³ до 10 дм³ і споживану потужність від 50 Вт до 150 Вт; сім варіантів ПАРП для вторинної обробки сигналів (МПОС, УЖ204, ЗБПОЗ1, УВ142, АГ4, МО-4, УАТ-11) з швидкодією 5 млн. операцій в секунду типу множення/додавання, об'єм апаратури від 0,3 дм³ до 2 дм³ і споживану потужність від 5 Вт до 20 Вт; шість варіантів інструментального комплексу розробки і налагодження ПАРП (ТПОС, СЗБПОЗ1, СЗБПОЗ, СКВ062, СУЖ204, СУВ142), який дозволяє налагоджувати апаратуру на робочих тактових частотах.

На основі проведених в дисертації досліджень з врахуванням перспектив розвитку інтегральної технології запропоновано подальші шляхи розвитку ПАРП і комплексу ВІС.

ВИСНОВКИ

Основні результати роботи можна сформулювати так:

1. Визначені особливості задач ЦОС, архітектури ПОС, сформульовані вимоги до ПОС і запропоновані шляхи вдосконалення їх характеристик. На основі проведеного аналізу алгоритмів ЦОС виділені базові операції для даних алгоритмів.

2. Обґрунтована необхідність створення, запропоновані принципи побудови і розроблені базові структури ПАРП, основних модулів і конвейєрних граф-алгоритмічних пристроїв для виконання базових операцій алгоритмів ЦОС.

3. Запропонована методика структурного синтезу ПАРП на базі ПМ і спеціалізованих ОМ, яка дозволяє синтезувати процесори з високою ефективністю використання обладнання.

4. Отримані аналітичні вирази для оцінки швидкодії, витрат і ефективності використання обладнання ПАРП, основних модулів, конвейєрних граф-алгоритмічних операційних пристроїв і основних функціональних вузлів.

5. Вдосконалені алгоритми виконання базових операцій:

- множення комплексних чисел на базі попередніх обчислень з аналізом декількох розрядів множника, який відрізняється від відомих меншою кількістю часткових добутоків і часом їх формування;

- піднесення до степеня на базі операції множення з аналізом

декількох ріврядів показника степеня, який відрізняється від відомих меншою кількістю операцій множення;

- сортування чисел, що базується на методах одночасного парного порівняння, витіснення, вставки і злиття, які відрізняються від відомих простотою реалізації і малим часом сортування.

6. Для виконання базових операцій алгоритмів ДПС розроблені нові високоефективні структури одно- і багатофункціональних пристроїв: множення дійсних і комплексних чисел в послідовним і паралельним формуванням часткових добутоків; ділення комплексних чисел на базі операції множення та на базі елементарних арифметичних операцій; ділення і добування квадратного кореня по алгоритмах з відновленням і без відновлення залишку; добування квадратного кореня з суми квадратів двох і трьох чисел; піднесення до степеня в послідовним і паралельним формуванням часткових результатів операцій; добування кореня, що базується на операції піднесення до степеня; обчислення тригонометричних функцій таблично-алгоритмічним способом; виконання ШПФ і базових операцій алгоритмів ШПФ і ШПД; сортування чисел з рівним рівнем паралелізму. Проведена кількісна і якісна оцінка розроблених структур і визначені галузі їх використання.

7. Розроблені на базі буферної пам'яті нові структури пристроїв інформаційного обміну з почерговим і одночасним доступом, які дозволяють значно скоротити час інформаційного обміну в ПАРП.

8. Сформульовані висновки, запропоновані принципи побудови і розроблена базова структура інструментального комплексу розробки та налагодження ПАРП.

Основний зміст проведених досліджень викладений в таких роботах.

1. Цмоць І.Г. Программируемый процессор обработки сигналов с аппаратной реализацией базовых операций ДПС. Тезисы докладов XVI семинара по однородным средам и систолическим структурам. Львов, 20-22 апреля 1993 г.

2. А.О.Мельник, Ю.М.Захарко, І.Г.Цмоць. Малогабаритный в-к-торный процессор первинної обробки радіолокаційної інформації. Тезисы докладов семинара "Применение микроконтроллеров на базе ОМ ЭВМ, ВМК, ЦУИС в народном хозяйстве". Киев, 20-21 апреля 1993, с. 8.

3. А.В.Басараб, А.О.Мельник, И.Г.Цмоць. Програмований процесор обробки сигналів з перемінним складом обладнання. Тезиси докладов семинара "Применение микроконтроллеров на базе ОМ ЭЕМ, БМК, ПЛИС в народном хозяйстве". Киев, 20-21 апреля 1993, с. 8, 9.

4. В.В.Коринкевич, А.О.Мельник, И.Г.Цмоць. Процесорний модуль для створення багато процесорних систем цифрової обробки сигналів. Тезиси докладов семинара "Применение микроконтроллеров на базе ОМ ЭЕМ, БМК, ПЛИС в народном хозяйстве". Киев, 20-21 апреля 1993, с. 7.

5. Мельник А.А., Цмоць И.Г. Вычислительная система обработки сигналов. Тезиси докладов VI Всесоюзного симпозиума "Проблемы соз-6. Мельник А.А., Басараб А.В., Цмоць И.Г. Систематический процессор преобразования преобразователей информации". - Киев, 1988, с 155-156.

6. Мельник А.А., Басараб А.В., Цмоць И.Г. Систематический процессор обработки сигналов на базе однокристалльной микро-ЭЕМ. - Систематические вычислительные структуры. Препринт №3-87, ИПМПИ АН УССР, с. 20-23.

7. A.A.Melnik, V.P.Kravetz, I.G.Tzmoz. LSI set for signal processors. Latvian Signal Processing International Conference. Riga, April 24-26, 1990, pp. 231-235.

8. Мельник А.А., Цмоць И.Г. Быстрый алгоритм для БИС умножителя комплексных чисел. Тезиси докладов отраслевой НТК "Специализированная элементная база для РЕА". Ташкент, 24-26 окт. 1989, ДСП, с. 57.

9. А.А.Мельник, И.Г.Цмоць., и др. Быстродействующий процессор цифровой обработки сигналов. Тезиси докладов конференции "Методы и микронелектронные средства цифрового преобразования и обработки сигналов". Рига, 1986, 1 т., с. 357-359.

10. А.А.Мельник, В.П.Кравец, И.Г.Цмоць. БИС формирователя адресов памяти для вычислительных систем обработки сигналов. Тезиси докладов научно-технической конференции "Специализированная элементная база для РЕА". Ташкент, 24-26 октября 1989 г. ДСП.

11. А.А.Мельник, И.Г.Цмоць. и др. Автоматизированный комплекс разработки, отладки и исследования вычислительных систем обработки сигналов. "Обмен производственно-техническим опытом", 1988, выпуск 3, с. 16.

12. А.Н.Мальш, А.А.Филимонов, И.Г.Цмоць. Стенд для контроля на основе микро-ЭЕМ. "Обмен опытом в радиопромышленности." 1985, выпуск 5, с. 67.

13. Мельник А.А., Васараб А.В., Рымарь Ю.М., Теслюк А.Ф., Цмоць И.Г. Инструментальный комплекс отладки систолических процессоров на базе однокристалльных микро-ЭВМ. Систолические структуры. Препринт №3-87, ИПММ АН УССР, Львов, 1988, с. 16-20.
14. А.А.Мельник, И.Г.Цмоць, А.В.Васараб. Инструментальный комплекс для отладки систолического процессора на базе микроЭВМ. Тезисы VI семинара по однородным вычислительным средствам и систолическим структурам. Львов, 27-30 октября 1987 г.
15. А.с. 1691847 (СССР). Систолический процессор. А.А.Мельник, И.Г.Цмоць. - Оpubл. в В.И., 1991, №42.
16. А.с. 1608640 (СССР). Ячейка коммутирующей сети. Мельник А.А., Цмоць И.Г., Квурт Л.С. и Радутная И.Р. - Оpubл. в В.И., 1990, №43.
17. А.с. 1300464 (СССР). Устройство для вычисления квадратного корня. / Е.Я.Ваврук, А.А.Мельник, И.Г.Цмоць. - Оpubл. в В.И., 1987, №12.
18. А.с. 1148027 (СССР). Устройство для извлечения квадратного корня. / А.А.Мельник, И.Г.Цмоць. - Оpubл. в В.И., 1985, №12.
19. А.с. 1203511 (СССР). Конвейерное арифметическое устройство. / А.А.Мельник, И.Г.Цмоць. - Оpubл. в В.И., 1986, №1.
20. А.с. 1290299 (СССР). Арифметическое устройство. / Е.Я.Ваврук, А.А.Мельник, И.Г.Цмоць. - Оpubл. в В.И., 1990, №39.
21. А.с. 1087990 (СССР). Устройство для возведения в степень. / А.А.Мельник, И.Г.Цмоць. - Оpubл. в В.И., 1984, №15.
22. А.с. 1383343 (СССР). Устройство для вычисления функции A^m . / Е.Я.Ваврук, А.А.Мельник, И.Г.Цмоць. - Оpubл. в В.И., 1978, №11.
23. А.с. 1179327 (СССР). Устройство для возведения в степень. / А.А.Мельник, И.Г.Цмоць. - Оpubл. в В.И., 1985, №34.
24. А.с. 1388851 (СССР). Устройство для умножения комплексных чисел. Е.Я.Ваврук, А.А.Мельник, И.Г.Цмоць., М.М.Яцимировский. - Оpubл. в В.И., 1988, №14.
25. А.с. 1711149 / СССР. Устройство для деления. Е.Я.Ваврук, И.Г.Цмоць., - Оpubл. в В.И., 1992, №5.
26. А.с. 1517023 (СССР). Устройство для умножения комплексных чисел. А.А.Мельник, И.Г.Цмоць., и др. - Оpubл. в В.И., 1989, №39.
27. А.с. 1297034 (СССР). Устройство для умножения комплексных чисел. А.А.Мельник, И.Г.Цмоць. - Оpubл. в В.И., 1987, №10.
28. А.с. 1705820 (СССР). Вычислительное устройство. Е.Я.Ваврук, И.Г.Цмоць. - Оpubл. в В.И., 1992, №2.

29. А.с. 1242986 (СССР). Устройство для выполнения быстрого преобразования Фурье. А.А.Мельник, И.Г.Цмоць., и др. - Оpubл. в Б.И., 1986, №25.
30. А.с. 1316000 (СССР). Устройство для коммутации процессора быстрого преобразования Фурье. А.А.Мельник, И.Г.Цмоць. - Оpubл. в Б.И., 1987, №21.
31. А.с. 1262486 (СССР). Устройство для вычисления тригонометрических функций. Ваврук Е.Я., И.Г.Цмоць., и др. - Оpubл. в Б.И., 1986, №37.
32. А.с. 1120315 (СССР). Вычислительное устройство. А.И.Елагин, А.А.Филимонов, И.Г.Цмоць. - Оpubл. в Б.И., 1984, №39.
33. А.с.1263468 (СССР). Устройство для вычисления значения модуля вектора. Е.Я.Ваврук, Ю.М.Захарко, А.А.Мельник, И.Г.Цмоць., - Оpubл. в Б.И., 1986, №21.
34. А.с. 1238065 (СССР). Устройство для извлечения квадратного корня из суммы квадратов двух чисел. А.А.Мельник, И.Г.Цмоць., и др. - Оpubл. в Б.И., 1986, №22.
35. А.с. 1262488 (СССР). Устройство для вычисления квадратного корня из суммы квадратов трех чисел. Е.Я.Ваврук, А.А.Мельник, И.Г.Цмоць. - Оpubл. в Б.И., 1986, №37.
36. А.с. 1260950 (СССР). Устройство для вычисления выражения $\sqrt{y^2 + x_1^2 + x_2^2 + x_3^2}$. Е.Я.Ваврук, А.А.Мельник, И.Г.Цмоць. - Оpubл. в Б.И., 1986, №36.
37. А.с. 1564611 (СССР). Устройство для сортировки чисел. А.А.Мельник, И.Г.Цмоць. - Оpubл. в Б.И., 1990, №18.
38. А.с. 1123030 (СССР). Устройство для сортировки чисел. А.А.Мельник, И.Г.Цмоць. - Оpubл. в Б.И., 1984, №41.
39. А.с. 1298767 (СССР). Устройство для сортировки чисел. А.А.Мельник, И.Г.Цмоць. - Оpubл. в Б.И., 1987, №11.
40. А.с. 1397900 (СССР). Устройство для сортировки чисел. А.А.Мельник, Е.Я.Ваврук, И.Г.Цмоць. - Оpubл. в Б.И., 1986, №19.
41. А.с. 1587493 (СССР). Устройство для сортировки чисел. А.А.Мельник, И.Г.Цмоць. - Оpubл. в Б.И., 1990, №31.
42. А.с. 1223222 (СССР). Устройство для сортировки чисел. А.А.Мельник, И.Г.Цмоць. - Оpubл. в Б.И., 1986, №13.
43. А.с. 1112362 (СССР). Устройство для сортировки чисел. А.А.Мельник, И.Г.Цмоць. - Оpubл. в Б.И., 1984, №33.
44. А.с. 1185326 (СССР). Устройство для сортировки чисел. А.А.Мельник, И.Г.Цмоць. - Оpubл. в Б.И., 1985, №38.

45. А.с. 1532913 (СССР). Устройство для сортировки чисел. А.А.Мельник, И.Г.Цмоць. - Оpubл. в Б.И., 1989, №48.

46. А.с. 1410019 (СССР). Устройство для сортировки чисел. Е.Я.Ваврук, А.А.Мельник, И.Г.Цмоць. - Оpubл. в Б.И., 1988, №26.

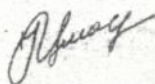
47. А.с. 1247859 (СССР). Устройство для сортировки n-разрядных чисел А.А.Мельник, И.Г.Цмоць. и др. - Оpubл. в Б.И., 1986, №28.

48. А.с. 1315998 (СССР). Устройство для формирования адресов процессора быстрого преобразования Фурье. А.А.Мельник, И.Г.Цмоць. - Оpubл. в Б.И., 1987, №21.

49. А.А.Мельник, И.Г.Цмоць. Устройство для выполнения базовой операции быстрого преобразования Хартли-Фурье вещественных последовательностей. Заявка №4803510/24 (031227). Полож. реш. от 27.12.1990 г.

50. А.А.Мельник, И.Г.Цмоць. Устройство для возведения в степень. Заявка №4607028/24 (161071). Полож. реш. от 28.12.1990.

51. А.А.Мельник, И.Г.Цмоць. Устройство для умножения комплексных чисел: Заявка №4910122/24. Полож. реш. от 20.03.1992 г.



457411

AB 30.193

AB 30.193