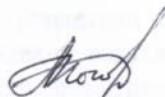


На правах рукопису

ПОПОВ Олексій Серафимович

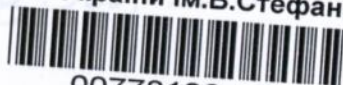


УДК 681.326

МЕТОДИ СИНТЕЗУ СХЕМ ВБУДОВАНОВОГО КОНТРОЛЮ  
МАТРИЧНИХ АРИФМЕТИЧНИХ ПРИСТРОЇВ  
З ОКРУГЛЕННЯМ

Спеціальність 05.13.08 - "Обчислювальні машини, системи  
та мережі, елементи та пристрої обчислювальної техніки  
та систем керування"

А в т о р е ф е р а т  
дисертації на здобуття наукового ступеня  
кандидата технічних наук



00778138 (Y)

Дисертацією є рукопис.

Робота виконана в Одеському державному політехнічному університеті на кафедрі "Обчислювальні машини".

Науковий керівник:

кандидат технічних наук, доцент  
Дрозд Олександр Валентинович

Офіційні опоненти:

доктор технічних наук, академік  
Романкевич Олексій Михайлович

кандидат технічних наук, доцент  
Великий Віктор Іванович

Провідна організація: АО "Електронмаш", м. Одеса

Захист відбудеться "22" червня 1995р. в 13<sup>30</sup> годин на засіданні спеціалізованої вченої ради Д 05.06.04 в Одеському державному політехнічному університеті (м. Одеса, пр. Шевченко, 1).

Відгук на автореферат у двох примірниках, засвідчений печаткою установи, просимо направляти за адресою:

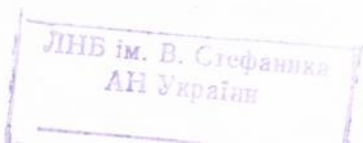
270044, м. Одеса, пр. Шевченко, 1, Вченому секретарю ОДПУ.

З дисертацією можна ознайомитися у бібліотеці Одеського державного політехнічного університета.

Автореферат розісланий "15" ТРАВНЯ 1995р.

Вчений секретар  
спеціалізованої вченої ради  
кандидат технічних наук, професор

Ямпольский Ю. С.



## ЗАГАЛЬНА ХАРАКТЕРИСТИКА РОБОТИ

Актуальність теми. Використання матричних арифметичних пристроїв (АП) у сучасній цифровій обчислювальній техніці є одним із шляхів підвищення її продуктивності. Проте разом з цим змінюються умови забезпечення достовірності функціонування обчислювальних пристроїв засобами апаратного контролю, який дозволяє оперативно оцінювати стан цифрової апаратури. Великі витрати обладнання матричних пристроїв, які перебувають у прямій (лінійній, квадратичній) залежності від розрядності чисел, що оброблюють, стають причиною пошуків та реалізації економічних технічних рішень, які направлено на скорочення обсягу обчислень. Такі рішення отримано для АП з округленням, що оброблюють числа з плаваючою точкою. Проте вживання таких рішень приводить до порушення регулярності структури пристроїв, що робить неможливим або неефективним безпосереднє використання відомих схем вбудованого контролю (СВК). Необхідні додаткові дослідження в галузі синтезу СВК АП з округленням. Тому тема роботи, що присвячена цим питанням, є актуальною.

Метою дисертаційної роботи є розробка методів синтезу СВК матричних АП з округленням.

Згідно з поставленою метою вирішуються такі задачі:

1. Розробка економічної структури СВК АП з округленням, яка враховує відкидаєми розряди результату без їх обчислення.
2. Аналіз можливостей визначення контрольного коду необчислюваної частини добутку, використовуючи контрольні коди операндів у помножувачах, які виконано за методом скороченого множення.
3. Розробка та оцінка методу синтезу СВК матричного помножувача із скороченням виконанням операції.
4. Аналіз особливостей визначення контрольного коду необчислюваної частини результату в апаратному контролі матричних квадраторів, помножувачів на константу та паралельних арифметичних зрушувачів з округленням.
5. Розробка і оцінка методів синтезу СВК матричного квадратора, помножувача на константу та паралельного арифметичного зрушувача з округленням.

Методи досліджень базуються на прикладній теорії цифрових автоматів, теорії перешкодостійкого кодування, елементах теорії алгоритмів та надійності.

Наукова новизна роботи полягає у такому:

1. Запропонована структура СВК АП з округленням.
2. Визначені можливості знаходження контрольного коду необчислюваної частини добутку в методі скороченого множення через контрольні коди операндів у вигляді суми їхніх попарних добутків. Доведено, що мінімальна кількість доданків у цій сумі дорівнює кількості необчислюваних розрядів добутку.

3. Розроблено та оцінено методи синтезу СВК АП з округленням.

Практична значущість. Розроблені у дисертаційній роботі методи дозволяють будувати економічні СВК матричних АП з округленням.

Достовірність теоретичних результатів підтверджується доказами основних положень та висновків, експертизою отриманих технічних рішень, які визнані винаходами та їх експериментальною перевіркою.

Реалізація результатів роботи. Впроваджено до навчального процесу в курсі "Діагностика комп'ютерних систем" в Одеському державному політехнічному університеті та в курсі "Прикладна теорія цифрових автоматів" Київського політехнічного інституту.

Апробація роботи. Основні результати досліджень доповідались та обговорювались на міжнародній конференції з теорії обчислень та обчислювальних систем (м.Одеса), а також на науковій конференції студентів та молодих дослідників Одеського державного політехнічного університету (1994р.).

Публікації. За темою дисертації опубліковано 8 друкованих робіт, у тому числі 3 авторських свідоцтва на винаходи.

Структура та обсяг дисертації. Дисертаційна робота складається із вступу, чотирьох глав і закінчення, які викладено на 164 аркушах машинописного тексту, містить 49 малюнків і список літератури (78 найменувань).

У вступі обґрунтовано актуальність теми, сформульовано мету, завдання досліджень та основні положення та результати, які виносяться до захисту.

У першій главі розглядаються відомі СВК матричних АП з округленням, аналізується їх узагальнена структура, досліджується СВК матричного помножувача з округленням. Робиться висновок про

сумірність витрат СВК з витратами на реалізацію пристрою, який контролюється.

У другій главі розроблюється структура економічної СВК з округленням. Згідно з запропонованою структурою досліджуються можливості контролю матричних помножувачів, які виконано за методом скороченого множення. Аналізується необчислювана частина матриці кон'юнкцій, умови її розбиття на фрагменти. Вирішується задача визначення контрольного коду необчислюваної частини добутку через контрольні коди операндів.

Третя глава присвячена розробці методу синтезу СВК матричного помножувача зі скороченим виконанням операції. Пропонується розбиття необчислюваної частини матриці кон'юнкцій на фрагменти. Визначається засіб формування контрольних кодів операндів, контрольного коду необчислюваних розрядів та реалізації контрольного співвідношення.

У четвертій главі аналізуються особливості контролю окремих випадків матричного помножувача зі скороченим виконанням операцій: пристроїв піднесення у квадрат, помноження на константу та арифметичного зрушувача. Розроблюються та оцінюються з позицій витрат обладнання та часових параметрів методи побудови СВК матричного квадратора, матричного помножувача на константу і паралельного арифметичного зрушувача з округленням.

У закінченні викладено висновки та основні результати роботи.

Автор захищає такі основні положення та результати дисертації:

1. Структуру СВК матричних АП з округленням.
2. Визначення контрольного коду необчислюваної частини добутку як суми  $k$  добутків контрольних кодів операндів ( $k$  - кількість необчислюваних розрядів добутку).
3. Метод синтезу СВК матричного помножувача з скороченим виконанням операції.
4. Методи синтезу СВК матричних пристроїв піднесення у квадрат, помноження на константу та паралельного арифметичного зрушувача з округленням.

## ЗМІСТ РОБОТИ

Машинна реалізація арифметичних операцій часто супроводжується втратою значної кількості молодших розрядів чисел. Це, як правило, пов'язано з виконанням операції множення,

для якої розрядність результату визначається сумарною розрядністю операндів. Форматування даних, яке виконується далі, супроводжується округленням з усиканням розрядності чисел. При цьому має місце сумірність кількості розрядів, які відкидаються і залишаються. Сучасні вимоги до високої продуктивності обчислювальних пристроїв забезпечуються розпаралелюванням обчислювальних процесів з широким використанням матричних структур, які відрізняються великими витратами обладнання, що знаходяться у прямій квадратичній залежності від розрядності чисел, які оброблюють. Для пристроїв з округленням вживаються методи скороченого виконання операцій, які спрямовані на зменшення витрат за рахунок виключення розрядів, які відкидаються.

Апаратний контроль АП традиційно та ефективно виконується з використанням теорії порівнянь чисел по модулю. Найбільше поширення одержали модулі виду  $m = q - 1$ , де  $q$  - основа системи числення. Для двійкової системи числення у формі двійково-кодованих систем з основами  $q = 2^l$ ,  $l = 2, 3, \dots$ , модуль має вигляд  $m = 2^l - 1$ . Контроль по модулю  $m$  відрізняється високою відкриваючою здатністю та малими витратами обладнання при перевірці повнорозрядних АП. Останнє пояснюється обробкою у системі контролю малорозрядних контрольних кодів чисел (контрольний код містить  $l$  розрядів), а також належністю модуля  $m$  одночасно і до числових модулів, для котрих справедливі прості контрольні співвідносини для перевірки арифметичних операцій, та до цифрових модулів, які відрізняються простотою формування контрольних кодів. Найбільш економічним є контроль за модулем  $m=3$ ,  $l=2$ , що також пояснюється належністю цього модуля до модулів виду  $2^{l-1} + 1$  із знакозмінними ваговими функціями, які додатково спрощують контрольні співвідносини.

Побудова АП з округленням приводить до ускладнення СВК, оскільки ставить перед ним завдання обліку розрядів чисел, які необчислюють або відкидають при округленні. Серед відомих структур СВК подібних пристроїв найбільше розповсюдження отримала схема, за котрою формується контрольний код відкидаємих розрядів після їх попереднього обчислення. Такий підхід за суттю відновлює скорочення витрат у головному обладнанні сумірними з ними апаратними витратами в СВК. Повні витрати обладнання збігаються з витратами на реалізацію та контроль повнорозрядної операції, що

є надмірним вирішенням задачі і, тому, невиправданим з економічних позицій. Дана структура накладає також обмеження на швидкодію СВК.

Відома СВК зрушувача, яка також використана у складі суматора з плаваючою точкою, в котрій обчислення контрольного коду відкидаємих розрядів робиться шляхом обробки контрольних кодів операндів, які формуються попередньо. Цей підхід демонструє можливості збереження витратних переваг методів скороченого виконання операцій при введенні СВК.

Узагальнення даного підходу та його розповсюдження на контроль матричних АП з округленням визначає структуру СВК з формуванням контрольних кодів необчислюваних розрядів через контрольні коди операндів. Запропонована структура забезпечує перехід від обробки чисел до обробки малорозрядних контрольних кодів, що створює умови для побудови економічних СВК матричних АП з округленням.

Визначення контрольних кодів відкидаємих розрядів чисел, що округлюються, через формування та обробку їх контрольних кодів є необхідною умовою для розробки методів синтезу економічних СВК АП з округленням. Реалізація цієї умови пов'язана з ефективним вирішенням задачі формування та обробки контрольних кодів операндів.

Дослідження та розробка методів синтезу СВК АП з округленням починаються в роботі з аналізу операції множення як основного джерела відсікання чисел. Безпосередньо операція множення з відсіканням розрядності чисел виконується над мантисами при множенні чисел з плаваючою точкою. Нехай  $A = m_A \cdot 2^{p_A}$  та  $B = m_B \cdot 2^{p_B}$  - двійкові числа з плаваючою точкою,  $m_A$  та  $m_B$  - нормалізовані мантиси чисел,  $p_A$  та  $p_B$  - порядки чисел. Тоді добуток  $V = A \cdot B$ ,  $V = m_V \cdot 2^{p_V}$  має порядок  $p_V = p_A + p_B$  та мантису  $m_V = m_A \cdot m_B$ . Далі в роботі розглядається операція множення нормалізованих мантис, які звуться операндами або співмножниками (множимим і множителем). Помножувачі, які реалізують подібну операцію, виконуються, як правило, за методом скороченого множення, який дозволяє економічно обчислювати  $n$  старших розрядів добутку  $n$ -розрядних співмножників. Необхідна точність у визначенні  $n$  старших розрядів добутку досягається при обробці  $(n+x)$  старших стовбців матриці кон'юнкцій,  $x = \lceil \log_2(n-2) \rceil$ . При цьому  $k = n - x$  молодших розрядів добутку не обчислюються.

Для операндів

$$A\{1\div n\} = \sum_{i=1}^n (A\{i\} \cdot 2^{i-1}) \quad \text{та} \quad B\{1\div n\} = \sum_{j=1}^n (B\{j\} \cdot 2^{j-1})$$

повний добуток

$$V\{1\div 2n\} = \sum_{i=1}^n \sum_{j=1}^n (A\{i\} \cdot B\{j\} \cdot 2^{i+j-2}).$$

Перетин матриці кон'юнкцій на  $k$  правих та  $n-k$  лівих стовбців, які створюють відповідно відсічену та зрізану матриці, розбиває повний добуток на два доданка:

- необчислювану частину добутку, вплив якої на результат неістотний:

$$V_{нч} = \sum_{i=1}^k \sum_{j=1}^{k+1-i} (A\{i\} \cdot B\{j\} \cdot 2^{i+j-2})$$

- та результат:

$$V_{вч} = \sum_{i=1}^k \sum_{j=k-i+2}^n (A\{i\} \cdot B\{j\} \cdot 2^{i+j-2}) + \\ + \sum_{i=k+1}^n \sum_{j=1}^n (A\{i\} \cdot B\{j\} \cdot 2^{i+j-2}),$$

тобто  $V\{1\div 2n\} = V_{нч} + V_{вч}$ .

Для апаратного контролю за модулем  $m$ , який виконується шляхом визначення контрольного коду необчислюваної частини добутку, використовується таке ось контрольне співвідношення:

$$KA\{1\div n\} \cdot KB\{1\div n\} = KV_{вч} + KV_{нч},$$

де

$$KA\{1\div n\} = A\{1\div n\} \bmod m,$$

$$KB\{1\div n\} = B\{1\div n\} \bmod m,$$

$$KV_{вч} = V_{вч} \bmod m,$$

$$KV_{нч} = V_{нч} \bmod m.$$

Аналіз матриці кон'юнкцій добутку з позицій її розподілу на зрізану та відсічену матриці потребує введення ряду визначень:

Визначення 1. Кон'юнкції  $k$ -го та  $(k+1)$ -го стовбців матриці добутку зуться граничними елементами.

Визначення 2. Сукупність кон'юнкцій, обчислюваних при множенні частини множеного на частину множника, зветься фрагментом, а частини співмножників - твірними фрагменту.

Визначення 3. Фрагмент, що містить один рядок з єдиним граничним елементом, зветься індексуємим. Даний граничний елемент зветься індексним. Індексом фрагменту є номер рядка, який містить індексний елемент.

У роботі доведено, що мінімальна кількість фрагментів, на котре може бути розбито відсічену матрицю, дорівнює  $k$ , що може бути досягнуто за умовою, якщо усі фрагменти є індексуємими. Розбивання відсіченої матриці на  $k$  індексуємих фрагментів, зватимуться нормальними розбиваннями. Показано різноманітність нормальних розбивань з використанням укладених та зовнішніх фрагментів, які визначаються так по відношенню до інших фрагментів розбивання, відповідно до того, чи містять їх індексні елементи. Визначені симетричні розбивання, які можуть складатись із фрагментів двох видів: центрально-симетричних фрагментів та взаємно-симетричних пар фрагментів. Центрально-симетричні фрагменти не змінюються при взаємній заміні розрядів множеного на розряди множника. Для взаємно-симетричних фрагментів заміна розрядів співмножників приводить до взаємного переходу одного фрагменту пари в інший фрагмент пари.

Фрагментам, які однозначно визначаються упорядкованою парою твірних, ставиться у відповідність добуток контрольних кодів твірних (далі контрольних кодів операндів) і доводиться, що контрольний код необчислюваної частини добутку дорівнює алгебраїчній сумі по модулю добутків контрольних кодів операндів:

$$KV_{нч} = \sum_{i=1}^k ((-1)^{d_i} \cdot Ka_i \cdot Kb_i),$$

де

$Ka_i, Kb_i$  - контрольні коди операндів;

$Ka_i = a_i \bmod m$ ;

$Kb_i = b_i \bmod m$ ;

$a_i$  та  $b_i$  - твірні індексуємого фрагменту  $V_i$ ;

$d_i$  - величина, яка визначає знак, з котрим ураховується добуток контрольних кодів операндів у алгебраїчній сумі;

$d_i = 0$  або  $d_i = 1$ , якщо індексний елемент індексуємого фрагменту  $V_i$ , належить  $k$ -му або  $(k+1)$ -му стовбцям матриці кон'юнкцій добутку.

У запропонованій структурі СВК матричних АП з округленням контрольний код  $KV_{нч}$  визначається:

- першим блоком формування контрольних кодів, який обчислює контрольні коди операндів  $Ka_i, Kb_i, i=1:k$ ;
- другим блоком формування контрольних кодів, який виконує множення контрольних кодів операндів та додавання по модулю отриманих добутоків з урахуванням знаків.

Контрольні коди операндів розподіляються на складові та обчислювані. До складових кодів відносяться контрольні коди, які створені з розрядів операнда. Інші контрольні коди обчислюються шляхом скручування розрядів операнда. Показано можливість спільного визначення обчислюваних контрольних кодів кожного операнда, яка визначає перший блок формування контрольних кодів, що складається з двох (за кількістю співмножників) вузлів скручування, кожний або один з котрих формує численність контрольних кодів. Подано аналіз подібних вузлів скручування та отримано оцінку складності  $W_{БФКК1}$  даного блоку:

$$W_{БФКК1} = \begin{cases} 2(n-1)q_{SM} + (k-2)(1-2)q_{HS}, & \text{якщо } k - \text{ парне} \\ 2(n-1)q_{SM} + (k-1)(1-2)q_{HS}, & \text{якщо } k - \text{ непарне} \end{cases}$$

де

$q_{SM}$  та  $q_{HS}$  - складність суматора та напівсуматора відповідно.

З формули виходить, що при  $l=2$ , тобто для контролю по модулю  $m=3$ , складність блоку формування контрольних кодів операндів істотно упрощується та не залежить від кількості виходів блока або кількості обчислюваних контрольних кодів операндів.

Складність  $W_{БФКК2}$  другого блока формування контрольних кодів, який здійснює помноження контрольних кодів операндів і скручування отриманих добутоків у контрольний код  $KV_{HC}$  необчислюваних розрядів оцінюється формулою:

$$W_{БФКК2} = (2k - 1)q_{\&} + (2k - 3)q_{SM}$$

де

$q_{\&}$  - складність реалізації двохходового кон'юнктора.

В роботі формується метод синтезу СВК матричного помножувача з округленням. В основу методу покладено симетричне розбивання матриці кон'юнкцій. Для парного та непарного  $k$  метод розглядається окремо. Контрольний код відкидаємих розрядів для парного  $k$  визначається за формулою:

$$KV_{нч} = \sum_{i=1}^{k/2-1} Ka_i \cdot Kb_i + Ka_{k/2} \cdot Kb_{k/2} - Ka_{k/2+1} \cdot Kb_{k/2+1} + \sum_{i=k/2+2}^k Ka_i \cdot Kb_i,$$

де

$$\begin{aligned} Ka_{k/2} &= A\{1 \div k/2+1\} \bmod 3, \\ Ka_{k/2} &= A\{k/2+1\}, \\ Ka_{k/2+1} &= -A\{k/2+2\}, \\ Ka_{k/2-1} &= (Ka_i + A\{k+2-i\} \cdot 2^{k+1-i}) \bmod 3, \quad i=2 \div k/2-1, \\ Ka_i &= (A\{k+1-i\} \cdot 2^{k-i}) \bmod 3, \quad i=k/2+2 \div k, \\ Kb_{k/2} &= B\{1 \div k/2+1\} \bmod 3, \\ Kb_{k/2} &= B\{k/2+1\}, \\ Kb_{k/2+1} &= -B\{k/2+2\}, \\ Kb_{k/2+2} &= (B\{i\} \cdot 2^{i-1}) \bmod 3, \quad i=1 \div k/2-1, \\ Kb_i &= (Kb_{i-1} + B\{i\} \cdot 2^{i-1}) \bmod 3, \quad i=k/2+3 \div k \end{aligned}$$

для непарного  $k$  формула має вигляд:

$$KV_{нч} = \sum_{i=1}^{(k-1)/2} Ka_i \cdot Kb_i + Ka_{(k+1)/2} \cdot Kb_{(k+1)/2} + \sum_{i=(k+3)/2}^k Ka_i \cdot Kb_i,$$

де

$$\begin{aligned} Ka_{(k-1)/2} &= -A\{(k+3)/2\}, \\ Ka_{(k+1)/2} &= A\{1 \div (k+1)/2\} \bmod 3, \\ Ka_{(k+3)/2} &= -A\{(k-1)/2\}, \\ Ka_{i-1} &= (Ka_i + A\{k+2-i\} \cdot 2^{k+1-i}) \bmod 3, \quad i=2 \div (k-1)/2, \\ Ka_i &= (A\{k+1-i\} \cdot 2^{k-i}) \bmod 3, \quad i=(k+3)/2 \div k, \\ Kb_{(k-1)/2} &= -B\{(k-1)/2\}, \\ Kb_{(k+1)/2} &= B\{1 \div (k+1)/2\} \bmod 3, \\ Kb_{(k+3)/2} &= -B\{(k+3)/2\}, \\ Kb_i &= (B\{i\} \cdot 2^{i-1}) \bmod 3, \quad i=1 \div (k-1)/2, \\ Kb_i &= (Kb_{i-1} + B\{i\} \cdot 2^{i-1}) \bmod 3, \quad i=(k+5)/2 \div k \end{aligned}$$

Формули обчислення контрольних кодів  $Ka_i$  та  $Kb_i$  показують можливість їх спільної реалізації при формуванні контрольних кодів операндів  $KA=A\{1 \div n\} \bmod 3$  та  $KB=B\{1 \div n\} \bmod 3$  відповідно.

Абсолютні витрати  $W$  СВК матричного помножувача з округленням оцінюються формулою:

$$W = (28n + 9k - 26)q_g$$

Відносні витрати  $W^*$  запропонованої СВК (у процентах до витрат обладнання відомої СВК) оцінюється формулою:

$$W^* = 925 / (n+7) \%$$

В роботі досліджуються питання швидкодії СВК. Показується, що при оцінці швидкодії основного пристрою в  $(n+2)\tau_{SM}$ , де  $\tau_{SM}$  - затримка повного двійкового суматора, контрольний код  $KV_{нч}$  формується за час  $(k/2+2\log_2(2k-1)-1)\tau_{SM}$ , тобто швидче результату.

Таким чином запропонований метод забезпечує побудову економічної СВК матричного помножувача з округленням за рахунок:

- використання запропонованої структури СВК АП, яка забезпечує визначення контрольного коду необчислюваних розрядів через контрольні коди операндів;

- використання нормального розбивання матриці кон'юнкцій, що забезпечило мінімальну кількість  $k$  фрагментів та відповідно добутоків контрольних кодів для отримання коду  $KV_{нч}$ ;

- спільного обчислення контрольних кодів твірних фрагментів у процесі скручування операндів;

- досягнення мінімальної сумарної кількості розрядів добутку контрольних кодів операндів.

Далі в роботі розглядається СВК квадратора з округленням. Проводиться порівняльний аналіз можливостей контролю по зпрощеній матриці кон'юнкцій квадратора та симетричним розбиванням матриці кон'юнкцій добутку. Отримано оцінки витрат обладнання та швидкодії для підходів до контролю, які розглядаються, що показують на переваги використання для контролю симетричних розбивань матриці кон'юнкцій добутку.

Формулюється метод синтезу СВК матричного квадратора з округленням. В основу методу покладено симетричне нормальне розбивання відсіченої матриці кон'юнкцій добутку з використанням укладених центрально-симетричних фрагментів та взаємно-симетричних фрагментів. Метод забезпечує спільну реалізацію обчислюваних контрольних кодів операнда.

Контрольний код  $KQ_{нч}$  відкидаємих розрядів для парного  $k$  визначається за формулою:

$$KQ_{нч} = \sum_{j=1}^{k/2} (-1)^{d_{1j}} \cdot (Ka_{2j-1})^2 + \sum_{j=1}^{k/4-1} Ka_{2j} \cdot Kb_{2j} + (-1)^{d_{2j}} \cdot Ka_{2j, k/4} \cdot Kb_{2j, k/4},$$

де

$$Ka_{2\mathcal{E}(k/4)+1} = A(2\mathcal{E}(k/4)+1, 2\mathcal{E}(k/4)+2),$$

$$Ka_{2j-1} = \begin{cases} (Ka_{k-2j+1} + A\{2j-1, 2j\}) \bmod 3, & j=1 \div \varepsilon(k/4) \\ (Ka_{k-2j+3} + A\{2j-1, 2j\}) \bmod 3, & j=\varepsilon(k/4)+2 \div k/2 \end{cases}$$

$$Ka_{2j} = -A\{k-2j+2\}, \quad j = 1 \div ]k/4[ ,$$

$$Kb_{2\varepsilon(k/4)+1} = Ka_{2\varepsilon(k/4)+1},$$

$$Kb_{2j} = -B\{2j\}, \quad j=1 \div ]k/4[ ,$$

$d_{1j}=0$  або  $d_{1j}=1$  відповідно, якщо індексний елемент індексуемого фрагменту  $Q_j$ , належить  $k$ -му або  $(k+1)$ -му стовбцям матриці кон'юнкцій добутку,

$$d_{2j} = \begin{cases} 0, & \text{якщо } k \bmod 4 = 0 \\ 1, & \text{якщо } k \bmod 4 \neq 0 \end{cases}$$

для непарного  $k$  формула має вигляд:

$$KQ_{n_k} = \sum_{j=1}^{(k-1)/2} (-1)^{d_{1j}} \cdot (Ka_{2j})^2 - \sum_{j=1}^{J(k+1)/4-1} Ka_{2j-1} \cdot Kb_{2j-1} - (-1)^{d_{2j}} \cdot Ka_{2J(k+1)/4-1} \cdot Kb_{2J(k+1)/4-1} ,$$

де

$$Ka_{2]k/4[} = A\{2 \cdot ]k/4[-1, 2 \cdot ]k/4[ \},$$

$$Ka_{2j} = \begin{cases} (Ka_{k-2j+1} + A\{2j-1, 2j\}) \bmod 3, & j=1 \div ]k/4[-1 \\ (Ka_{k-2j+3} + A\{2j-1, 2j\}) \bmod 3, & j=]k/4[+1 \div (k-1)/2 \end{cases}$$

$$Ka_{2j-1} = A\{k-2j+2\}, \quad j=1 \div ](k+1)/4[ ,$$

$$Kb_{2]k/4[} = Ka_{2]k/4[} ,$$

$$Kb_{2j-1} = B\{2j-1\}, \quad j=1 \div ](k+1)/4[ ,$$

$d_{1j}=0$  або  $d_{1j}=1$  відповідно, якщо індексний елемент індексуемого фрагменту  $Q_j$ , належить  $k$ -му або  $(k+1)$ -му стовбцям матриці кон'юнкцій добутку,

$$d_{2j} = \begin{cases} 0, & \text{якщо } (k+1) \bmod 4 = 0 \\ 1, & \text{якщо } (k+1) \bmod 4 \neq 0 \end{cases}$$

Абсолютні витрати  $W$  СВК матричного квадратора з округленням оцінюються формулою:

$$W = (21n - k - 21)q_{\&}$$

Відносні витрати  $W^*$  запропонованої СВК (в процентах до витрат обладнання відомої СВК) оцінюються формулою:

$$W^* = 285 / (0.3n + 3) \%$$

Часові параметри запропонованої СВК матричного квадратора також поліпшені в порівнянні з відомими вирішеннями та дозволяють

видавати контрольний код  $KQ_{\text{вч}}$  обчислюваної частини результату одночасно з виданням результату  $Q_{\text{вч}}$  квадратором.

Далі в роботі досліджуються особливості контролю матричних помножувачів на константу з округленням. Пропонується метод синтезу СВК по модулю три матричного помножувача на константу з округленням, в основу якого покладено розроблений алгоритм формування контрольного коду  $KV_{\text{вч}}$  з урахуванням конкретного значення константи.

Максимальні абсолютні витрати  $W$  СВК матричного помножувача на константу з округленням оцінюються формулою:

$$W = (21n - 7k + 21)q_{\text{к}}$$

Відносні витрати  $W^*$  запропонованої СВК (в процентах до витрат обладнання відомої СВК) оцінюються формулою:

$$W^* = 400n / (r^2 + 6n)\%$$

де

$r$  - кількість одиниць у запису константи.

При  $r = n/2$  витрати  $W^*$  складають

$$W^* = 1600 / (n + 24)\%$$

тобто не перебільшують 66%.

Часові параметри запропонованої СВК матричного помножувача на константу поліпшені в порівнянні з відомими вирішеннями. Контрольний код  $KV_{\text{вч}}$  обчислюваної частини результату формується раніше, ніж цей результат обчислюється у пристрої, який контролюється.

В операції складання чисел з плаваючою точкою  $A = m_A \cdot 2^{p_A}$  та  $B = m_B \cdot 2^{p_B}$  з отриманням суми  $S = m_S \cdot 2^{p_S}$ ,  $p_S = \max(p_A, p_B)$ ,  $m_S = m_A \cdot 2^{p_A - p_S} + m_B \cdot 2^{p_B - p_S}$  відсічення розрядності має місце при денормалізації мантиси  $m_A$  або  $m_B$  шляхом зрушення - окремого випадку операції множення. Розпізнавальним моментом умов контролю операції зрушення є зміний характер кількості відкидаємих розрядів  $k$ , що співпадає з величиною зрушення.

Запропоновано метод синтезу СВК паралельного арифметичного зрушувача, заснований на обчисленні коду  $KV_{\text{вч}}$  з послідовно-паралельним обчисленням контрольних кодів операндів, що дозволяє поліпшити часові параметри СВК. Подані оцінки витрат обладнання та часу на контроль, які показують, що метод синтезу СВК паралельного арифметичного зрушувача підвищує швидкодю СВК на 30-75% без збільшення витрат обладнання шляхом вибору кроку скручування операнда.

1. Проведено аналіз особливостей процедури відкидання розрядів при форматуванні даних у сучасних АП з округленням. Показано, що в умовах використання матричних структур основні витрати обладнання СВК обумовлені необхідністю формування контрольного коду необчислюваних розрядів при скороченому виконанні операції.

2. Запропонована економічна структура СВК матричних АП з округленням, у котрий здійснюється формування контрольного коду необчислюваних розрядів, використовуючи обробку контрольних кодів операндів. Витрати обладнання нової структури в порівнянні з відомими рішеннями зменшуються у декілька разів.

3. Проведено аналіз матриці кон'юнкцій в операції множення з скороченням обчислень. Доведено, що контрольний код необчислюваної частини добутку визначається як алгебраїчна сума  $k$  добутків контрольних кодів операндів. Оцінено складність СВК матричних помножувачів із скороченим виконанням операції. Наприклад, для розрядності 16, 32 та 64, витрати зменшуються відповідно в 2, 3.5 та 7 разів у порівнянні з відомими рішеннями.

4. Запропоновано метод синтезу СВК по модулю три матричного помножувача з округленням при скороченому виконанні операції.

5. Проведено аналіз особливостей формування контрольного коду необчислюваних розрядів у окремих випадках операції множення - піднесення до квадрату, множення на константу та арифметичного зрушення. Запропоновані методи синтезу СВК даних пристроїв. Подано оцінки складності СВК за витратами обладнання та часу, які підтверджують їх високу економічність.

Основний зміст дисертації відображено у таких публікаціях:

1. А.с.1608653 СРСР Матричний пристрій для піднесення до квадрату. Бюл. - 1990. - N 43. - С.190-191.

2. А.с.1651288 СРСР Пристрій для контролю множення двійкових чисел за модулем три. Бюл. - 1991. - N 19. С.197.

3. А.с.1774337 СРСР Пристрій для контролю множення двійкових чисел за модулем три. Бюл. - 1992. - N 41. С.159.

4. Попов О.С., Дрозд О.В. Апаратний контроль помножувачів із зрізанням розрядності //Обчислювальні науки та Супер-ЕОМ. Тр. міжнар. конф. з теорії обчислень та обчислювальних систем. М., 1992.

5. Попов О.С., Дрозд О.В. Питання апаратного контролю помножувачів, які виконано за методом скороченого множення/Одес. політехн. ін-т.- Одеса, 1992. - Деп. в УкрІНТЕІ 23.02.93, N 244-Укр93.

6. Дрозд О. В., Попов О. С., Ягхи А. А. Квадраторів із зрізаним результатом /Одес. політехн. ун-т - Одеса, 1993. - Деп. у ДНТБ України 25.01.94 N 122-Ук94.

7. Дрозд О. В., Попов О. С., Ягхи А. Організація апаратного контролю матричного помножувача на константу із зрізаним результатом /Одес. політехн. ун-т - Одеса, 1993. - Деп. у ДНТБ України 01.03.94 N 450-Ук94.

8. Дрозд О. В., Попов О. С. Апаратний контроль паралельного арифметичного зрушувача /Одес. політехн. ун-т - Одеса, 1993. - Деп. у ДНТБ України 16.03.94 N 540-Ук94.

АНОТАЦІЯ

Попов О.С. Методи синтезу схем вбудованого контролю матричних арифметичних пристроїв з округленням. Дисертація на здобуття наукового ступеня кандидата технічних наук за спеціальністю 05.13.08 - "Обчислювальні машини, системи та мережі, елементи та пристрої обчислювальної техніки та систем керування", Одеський державний політехнічний університет, Одеса, 1995. Метою дисертаційної роботи є розробка методів синтезу схем вбудованого контролю матричних арифметичних пристроїв з округленням. Запропонована нова економічна структура схем вбудованого контролю матричних арифметичних пристроїв з округленням, методи синтезу даних схем для пристроїв: помножувача, піднесення до квадрату, помножувача на константу та арифметичного зрушувача.

Popov A.S. The methods of synthesis of built-in control circuits of matrix arithmetical devices with rounding. Dissertation of technical science magister on speciality 05.13.08 - "Computers, systems and networks, parts and devices of computer's equipment and control systems", Odessa state politechnic university, Odessa, 1995. The aim of dissertation is to develop the methods of synthesis of built-in control circuits of matrix arithmetical devices with rounding. The new economical structural circuit of matrix arithmetical devices with rounding was offered. The methods of synthesis such circuits for devices: multiplier, squarer, multiplier on constant and arithmetical shifter were offered too.

*Handwritten signature*