

НАЦІОНАЛЬНА АКАДЕМІЯ НАУК УКРАЇНИ  
ІНСТИТУТ ПРОБЛЕМ МОДЕЛЮВАННЯ В ЕНЕРГЕТИЦІ

На правах рукопису

ГУМЕНЮК ВІТАЛІЙ ОЛЕКСАНДРОВИЧ

ПИТАННЯ АНАЛІЗУ І СИНТЕЗУ ЗАСОБІВ ПІДВИЩЕННЯ ШВИДКОСТІ  
ТА ДОСТОВІРНОСТІ ОБРОБКИ ІНФОРМАЦІЇ В СИСТЕМАХ ЗІ  
СПЕЦІАЛЬНИМИ ОБЧИСЛЮВАЛЬНИМИ ПРИСТРОЯМИ

Спеціальність 05.13.08 - обчислювальні машини, системи та  
мережі, елементи та пристрої обчислювальної техніки і систем  
керування

Автореферат дисертації на здобуття наукового ступеня  
кандидата технічних наук

Київ - 1995

004.03  
Дисертацією в рукопис

Робота виконана в Київському міжнародному університеті цивільної авіації

Науковий керівник:

доктор технічних наук, професор Євген Іванович Брехович

Офіційні опоненти:

доктор технічних наук, професор Олександр Іонович Стасюк

кандидат технічних наук

Володимир Миколайович Опанасенко

Провідна організація: НПК "Київський інститут автоматики",

254107, м. Київ, вул. Нагорна, 22.

Захист відбудеться "29" 06 1995 р. о 14.00 годині  
на засіданні спеціалізованої вченої ради Д 01.91.01 при інституті  
проблем моделювання в енергетиці НАНУ.

Адреса: 252680, Київ-164, ул. Ген. Наумова, 15

З дисертацією можна ознайомитись в бібліотеці ІПМЕ НАНУ.

Автореферат розісланий

1995 р.

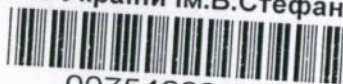
Вчений секретар

спеціалізованої ради

кандидат технічних наук

*Сем* - Е.П.Семагіна

ЛННБ України ім.В.Стефаника



00754682 (W)

AB - 3a. 5.0e

## ЗАГАЛЬНА ХАРАКТЕРИСТИКА РОБОТИ

**АКТУАЛЬНІСТЬ ПРОБЛЕМИ.** В практику все більш широко впроваджуються системи обробки інформації та управління з надзвичайно високими вимогами, що пред'являються до різних аспектів їх функціонування, таких як достовірність та швидкість обробки даних, надійність апаратури. Вимоги до швидкодії, рівня достовірності результатів обчислень та безвідказності операційних пристроїв (ОП), за умов обмеження масо-габаритних характеристик (наприклад, бортові ОП), залишаються за межами можливостей пристроїв, створених на основі традиційного відображення двоїчної цифрової інформації - взаємозв'язаного (за допомогою одного тригера) відображення нуля та одиниці. З метою вирішення пов'язаної з цим проблеми автоматичного контролю ОП іншим автором було проведене дослідження коду "І з р" ( $p > 2$  - основа системи обчислення) з незалежним відображенням усіх цифр. Результати дослідження дозволили сформулювати підхід до практичного вирішення цієї проблеми і досить значного підвищення швидкодії ОП, за рахунок впровадження більших значень основи  $p$  та виключення часових затримок на проведення операцій контролю (зго-ртання та порівнювання). Разом з тим виявився недолік коду "І з р" - надмірні апаратні витрати, що обмежує впровадження ще більших значень  $p$ , отже зменшує можливості підвищення швидкодії.

Код "І з р" належить до сімейства неподільних кодів "М з N" (N - кількість позицій кодової комбінації, відображаючої одну цифру, M - кількість "одиниць" в цій комбінації) інші представники якого впроваджуються з суттєво меншими апаратними витратами, що дозволяє розширити діапазон можливих  $p$ . Розроблені на цей час ОП в коді "М з N", що мають  $M > 1$ , поступаються з ряду важливих характеристик, на-самперед, швидкодії, регулярності структури та апаратним витратам (тільки на ОП) аналогічним пристроям в коді "І з р", що не дозволило їм досі набути широкого розповсюдження. Отже необхідно розробити ОП, що не мають таких недоліків, за умови визначеної доцільності впровадження кодів "М з N". Слід зазначити, що існуючі методики синтезу двоїчних ОП не можуть бути в повній мірі застосовані в цьому випадку.

**МЕТА І ЗАДАЧИ ДОСЛІДЖЕНЬ.** Метою є дослідження ефективності за-стосування кодів "М з N" для забезпечення достовірності результа-тів обчислень та росту продуктивності ОП, а також розробка формалізованої методики аналізу і синтезу операційної частини ОП, з урахуванням потреб сучасної інтегральної технології.

Для досягнення поставленої мети необхідно вирішити такі задачі: 1) дослідження кодів "М з N" і оцінка ефективності їх застосування на основі аналізу структур операційної частини матричних ОП; 2) розробка методики аналізу і синтезу основних пристроїв (додавання, віднімання, множення і ділення) операційної частини високопродуктивних матричних ОП з регулярною структурою окремих блоків; 3) аналіз безвідказності роботи матричних ОП та розробка способів і засобів забезпечення надійності пристроїв та достовірності результатів обчислень.

**ТЕОРЕТИЧНИЙ АПАРАТ.** Дослідження проведені з використанням теорії імовірностей, математичної статистики, алгебри логіки, теорії кодування, і теорії цифрових автоматів.

**НАУКОВА НОВИЗНА** роботи полягає в тому, що вперше: виконано аналіз структур операційної частини ОП в коді "М з N"; виявлено властивості таких кодів, пов'язаних з використанням їх в ОП; запропоновано спосіб синтезу обчислювальних пристроїв, які не мають спеціальних блоків (схем) контролю, що є принципово новим підходом, пов'язаним з представленням чисел кодом "М з N"; запропоновано спосіб синтезу неповної трикутної матриці НТМ 2М-входних логічних елементів AND, оснований на формуванні областей ідентичних наборів вхідних сигналів в таблиці додавання/віднімання та методики складання відповідних алфавітів; визначені аналітичні залежності кількості логічних елементів та їх зв'язків в блоках ОП від значення р, М та N, а також вибраного алфавіту; запропоновано спосіб синтезу вихідної матриці та блоків комутації, оснований на впорядкуванні структури схеми видачі суми/різниці у відповідності до відстані Хемінга; запропоновано спосіб синтезу пристрою множення і додавання/віднімання, оснований на розширенні функціональних можливостей НТМ додавання/віднімання і блоку контролю; запропоновано модифікований метод прямого прискореного ділення чисел (з відновленням остачі,  $p > 2$ ); запропоновано методику складання алфавіту, при використанні якого виключається необхідність корекції результату арифметичної операції після відновлення працездатності ОП.

**ПРАКТИЧНА ЦІННІСТЬ РОБОТИ** полягає в наступному:

1. Розроблено ряд пристроїв додавання: триступеневих, в яких матриця додавання/віднімання виконує також функцію перетворення кодів операндів; двоступеневих, в яких вихідна матриця AND, при необхідності, блок комутації сполучають функції шифратора та схеми видачі

суми/різниці; одноступеневі, в яких схема видачі суми (без урахування переносу) представляє собою "дротяні OR". 2. Розроблено матрицю множення, що містить групу діагональних вхідних шин, призначених для поширення сигналу з виходів НТМ додавання /віднімання.

3. Запропоновано г'істрий ділення, дозволяючий скоротити кількість елементів матриці визначення імовірних значень частки і використати тільки одну матрицю (замість чотирьох) уточнення цифри частки.

4. Запропоновано типи тригерів: з подвійним (роздільним) "одиничним" виходом, що дозволяє включити в склад ОП комутатор з "дротяних OR"; комбінаційний тригер для регістрів операндів, виконуючий функції JK-тригера або T-тригера, в залежності від режиму роботи ОП

**РІВЕНЬ РЕАЛІЗАЦІЇ.** Результати роботи були впроваджені у відділенні ТС АСУ СКБ ММС Інституту кібернетики НАН України: у вигляді розробки спеціалізованого пристроя в системі автоматизованої обробки результатів льотних випробувань, що підтверджується актом впровадження з економічним ефектом. Крім того, основні результати роботи впроваджені в учбовий процес на кафедрі ОМСМ КМУЦА та відображені у наукових звітах НДР кафедр АЕМ (1984-1989р.) і ОМСМ (1990-1993р.).

**ПУБЛІКАЦІЇ** Матеріали дисертації знайшли своє відображення у 24 друкованих і депонованих працях, з яких 18 опубліковані без соавторів, отримано 11 свідоцтв про винаходи. У роботах, опублікованих разом з Є. І. Бруквичем, автором дисертації виконано дослідження та отримано технічне рішення (А.с.) У роботах, опублікованих разом з Н.Н. Сіверською - отримані технічні рішення. У роботах, опублікованих разом з І.А. Жуковим - виконані дослідження та запропоновано методику.

**АПРОБАЦІЯ РЕЗУЛЬТАТІВ РОБОТИ.** Основні результати роботи доповідались та отримали схвалення на: XI Всесовізному міжгалузевому семінарі "Технологія та надійність елементної бази ПО ОТ" (Івано-Франківськ, 1982); республіканському семінарі "Розпаралелювання алгоритмів моделювання складних електронних схем та систем "Київ, 1986); республіканському семінарі "Теорія та машинне проектування аналогових і цифрових автоматів" (Київ, 1990); республіканському семінарі "ЕОМ та комплекси" ІК НАН України (Київ, 1994). Ділячі ОП за матеріалами роботи експонувались: на ВДНГ СРСР (Москва, 1980-1981); на ВДНГ УРСР (Київ, 1982), автор нагороджений срібною медал'ю.

**СТРУКТУРА РОБОТИ І ЇЇ ОБ'ЄМ.** Робота складається із вступу, чо-

тирьох розділів, закінчення та списку літератури. Об'єм роботи складає 168 сторінок, включає 15 таблиць, 38 малюнків і 100 бібліографічних назв.

#### ЗМІСТ РОБОТИ

У ВСТУПІ сформульована задача дослідження, обґрунтована її актуальність, виділена мета роботи і питання що вирішуються, вказані її наукова новизна і практична цінність.

В ПЕРШОМУ РОЗДІЛІ здійснений аналіз архітектур і структур ОП в коді "М з N", а також стану теорії цього сімейства кодів з точки зору впровадження в системах обробки інформації. Коди "М з N" поширені в тих системах, де мають місце асиметричні канали передачі даних (з переважанням одного типу помилок). В системах Пентакону, Ротарі, швейцарської СР-400 та інших цілому було використано до 12 типів таких кодів. В обчислювальній техніці вони використовувались у трактах збереження і передачі десятичних цифр та в операційних пристроях ЕОМ, наприклад, код "2 з 5" ( $p=10$ ) - в ІВМ-7070, двоїчно-п'ятиричний код (позиційний з перемінною основою числення) - в ІВМ-650. Оцінка ефективності використання таких кодів в сучасних ОП виконана Є.І.Бреховичем тільки по відношенню до позиційного коду, що є найбільш надмірним з апаратних витрат в регістровій частині та пам'яті ЕОМ. Математична модель коду, що впливає з його геометричного зображення, дозволяє за допомогою ваги  $W_N(x) = \sum_{i=1}^M x_i$  та відстаней  $d(X, Y)$  Хемінга визначити виявляючі властивості коду "М з N". Максимальна кількість кодових комбінацій визначається як  $C_N^M = N! / [M!(N-M)!]$  надмірність, по відношенню до двоїчного коду:  $S_p = K_p / n_2 = N n_p / n_2 = N / \log_2 p$  (де  $K_p$  - кількість логічних елементів, необхідних для відображення числа при  $p > 2$ ;  $n_p$  та  $n_2$  - кількості  $p$ -ічних та двоїчних розрядів числа відповідно). Із збільшенням  $M$  і  $p$  при  $M = \lfloor N/2 \rfloor$  надмірність зменшується. Відповідно до висновків, зроблених на основі аналізу, запропоновано таблицю вибору параметрів  $M, N$  коду при фіксованих значеннях  $p$  ( $p=2^k$ , де  $k=1, 2, 3, \dots$ ). Повну множину можливих помилок в кодових комбінаціях "М з N" можна розділити на три категорії: перша і друга (відповідно менша і більша, ніж належить кількості "одиниць"), а також третя - помилкова комбінація при збереженні структури коду. Помилки перших двох категорій і частина помилок третьої категорії, при якій з'являються кодові комбінації, що не належать до прийнятого алфавіту, виявляються з методичною імовірністю дорівнюваній одиниці, а решта помилок третьої категорії не виявля-

ється. Тому достовірність результату обчислення при такому представленні інформації:  $S_c = 1 - R_3$ , де  $R_3$  - імовірність виникнення помилок третьої категорії, що не виявляється. В результаті дослідження впливу структури коду і частотних властивостей елементної бази на достовірність  $S_c$  визначена аналітичною залежністю:  $R_3 \approx 0,9M(N-M)\alpha^2 K_p^2 \cdot 10^{-27} (\alpha = \frac{t}{\Delta t_k})$ , де  $t$  - час виникнення помилки третьої категорії з помилок першої та другої категорії;  $\Delta t_k$  - дозволяюча здатність автоматичного контролю за часом;  $0 < \alpha < 1$ ). При цьому машинний час не витрачається на операції контролю (згорання, порівнювання). Досліджено вплив структури коду на надійність ОП. Визначено вплив параметрів  $M, N$  коду і значень  $p$  на енергоспоживання  $P_{\text{общ}} = f(N)$  повноразрядного ОП та одного розряду ОП при КМОП-технології, отримані відповідні графічні залежності. Досліджено вплив структури коду і значення  $p$  на швидкість ОП при фіксованому діапазоні представлення чисел в ОП та обмеженні на кількість входів логічного елемента. Розглянуто спосіб додавання послідовності чисел, представлених у коді з  $M > 1$ , що дозволяє скоротити загальний час додавання. Окремі розряди ОП в коді з  $M > 1$ , що використовувались раніше, мають меншу швидкість порівняно з аналогічними пристроями в позиційному коді, однак повноразрядні ОП першого типу мають в цілому більшу швидкість за рахунок можливості вибору більших значень  $p$ , що дозволяє скоротити час розповсюдження переносів (при додаванні та відніманні), а також - кількості часткових добутоків (при множенні) і цифр частки (при діленні). Виконано аналіз архітектур і структур пристроїв множення в коді "M з N". Здобуті графічні залежності коефіцієнта прискорення операції множення  $K = f(M)$  при фіксованих значеннях  $p$ . ОП в коді "M з N", що виконують множення у вигляді безперервного обчислювального процесу з фіксацією тільки остаточного результату, мають швидкість у 10 та більше разів вищу, ніж у "однотактних пристроїв множення" - найбільш швидкодійних пристроїв множення двоїчної синхронної арифметики. Встановлено, що на проміжних ступенях пристроя, що виконує "довгу" операцію (множення, ділення) у вигляді безперервного процесу, доцільно використовувати позиційний код.

ДРУГИЙ РОЗДІЛ роботи присвячено питанням архітектурної та структурної організації пристроїв додавання/віднімання в коді з  $M > 1$  при урахуванні потреб систем обробки інформації в реальному часі. В результаті аналізу можливих варіантів представлення кожного операнда груп сигналів на входах матриці арифметичної

операції запропоновано використання 2M-входових елементів AND, замість двовходових елементів AND, в такій матриці. Це дозволяє виключати етап перетворення кодових комбінацій (з  $M > I$ ) операндів в позиційний код, що призводить до скорочення кількості ступеней (до трьох) ОП і підвищенню його швидкодії. Безпосередня подача всіх сигналів, що представляють операнди в кодї "M з N", на матрицю арифметичної операції при збільшенні кількості входів елементів до 2, як встановив Є.І.Брихович, дозволяє повністю захистити її від помилок перших двох категорій. Але практично в цьому випадку все зводиться до використання основи p не більше 4.

Розроблено суматор, час додавання у старшому розряді якого визначається виразом:  $t_x = t_n + t_z$ , де  $t_n$  - тривалість сигналу, представляючого цифру в ОП;  $t_z$  - час затримки сигналу логічною схемою.

Відомі досі ОП в кодї з  $M > I$  мають двоступеневі схеми видачі результату. Внаслідок введення в состав ОП вихідної матриці, що виконує функції шифратора в кодї з  $M > I$  та схеми видачі результату з урахуванням переносу, скорочується загальна кількість ступеней (до двох) пристроя та підвищується регулярність (однорідність) структури. Кількість елементів AND у вихідній матриці залежить від вибору алфавіту, при фіксованій структурі коду. Крім того, виникає необхідність у включенні (паралельно вихідній матриці) блока комутації в склад ОП, якщо сума відстаней  $\sum_{i=0}^{N-1} W_{ni}$  Хемінга, визначених для всіх пар кодових комбінацій, що представляють сусідні (за алфавітом) цифри, мають значення у межах:  $2p \leq \sum_{i=0}^{N-1} W_{ni} < 2Mp$  при  $M < \lfloor N/2 \rfloor$ ;  $2p \leq \sum_{i=0}^{N-1} W_{ni} < (N-1)p$  при  $M = \lfloor N/2 \rfloor$ ;  $2p \leq \sum_{i=0}^{N-1} W_{ni} < (N-M)2p$  при  $M > \lfloor N/2 \rfloor$ .

Запропонована методика синтезу вихідної матриці і блока комутації, у відповідності до вибраного алфавіту. Розроблено пристрій, для якого:  $t_x = t_n + 2t_z$ .

В однорозрядному ОП є можливість встановлення одноступінчатого логічного зв'язку між сигналами, що представляють "одиниці" в кодах операндів та в кодї результату операції:

$$\sum_{k=0}^{N-1} c_k = \sum_{(m,n)} \Delta x_{m,i} \Delta y_{n,i}$$

де  $c_k$  - сигнал, що представляє k-у позицію кода суми/різниці;  $\Delta x_{m,i}$  та  $\Delta y_{n,i}$  - сигнали, що представляють i-і позиції операндів  $\Delta_m$  (цифра m) та  $\Delta_n$  (цифра n) відповідно;  $m = 0, 1, \dots, p-1$ ;  $n = 0, 1, \dots, p-1$ . При цьому необхідною умовою є представлення результату операції на виходах матриці елементів AND груп з M ідентичних електрично незалежних сигналів (замість одного). Тут доцільно використати

коди з  $M=2$ . Шифратор (комутатор) має бути реалізований з, так званих, "дротяних OR". Розроблено пристрій, для якого:  $t_{\Sigma} = t_{\Pi} + t_{\beta}$ .

Прямокутні матриці додавання/віднімання складаються з  $p^2$  логічних елементів, що на практиці суттєво обмежує вибір значень  $p$ , бо на дмірно зростають геометричні розміри та паразитні параметри такої матриці, які приводять до зниження швидкодії ОП. Для перетворення прямокутної матриці на трикутну необхідно використати вхідний комутатор, що виконує функцію:  $(X_m + Y_n) \vee (X_n + Y_m)$ . В роботі вирішується задача використання з цієї метою "дротяних OR", що не затримують сигнали.

Представимо пару кодів операндів  $X_m$  та  $Y_n$  слідулчим набором сигналів:  $X_m + Y_n = \bigwedge_{(j)} x_{m,j} y_{n,j} \bigwedge_{(k)} j_{m,n,k}$ , де  $x_{m,j}$  та  $y_{n,j}$  - сигнали, що представляють "одиниці" в  $j$ -х (совпадаючих) позиціях цих кодів;  $j_{m,n,k}$  - сигнали, що відповідають номерам  $k$ -х (неспівпадаючих) позицій кодів, в яких містяться протилежні (0 та 1) символи, таким чином "одиниці"  $k$ -ої позиції одного коду відповідає "нуль" в тій же позиції другого коду.

Тоді парі кодів операндів  $X_n$  та  $Y_m$  відповідає такий саме набір сигналів і той саме логічний елемент матриці додавання. Причому:

$$0 \leq \sum_{(j)} x_{m,j} y_{n,j} \leq 2M; \quad 0 \leq \sum_{(k)} j_{m,n,k} \leq 2M;$$

$$\sum_{(j)} x_{m,j} y_{n,j} + \sum_{(k)} j_{m,n,k} = 2M.$$

Отже, кількість вхідних логічного елемента матриці додавання -  $2M$ . Кількість компіляцій сигналів  $K_n$  дорівнює сумі кількостей компіляцій для  $\sum_{(j)} x_{m,j} y_{n,j}$  та  $\sum_{(k)} j_{m,n,k}$ :  $K_n = \left[ \sum_{i=1}^M C_{N-i}^i C_{N-i}^{2(M-i)} \right] + C_N^{2M}$ . Кількість елементів, що входять до складу трикутної матриці додавання:  $K_{M,N} = \frac{p(p+1)}{2}$ . Тому при  $2 \leq M \leq N-2$  та  $N \geq 4$ :  $K_{M,N} > K_n$ . Для ряду значень  $M$  та  $N$  розраховано і зведено до таблиць коефіцієнти скорочення ( $\alpha, \beta$ )

кількості логічних елементів в запропонованій матриці, відносно до трикутної та прямокутної матриць відповідно. Таким чином, отримана матриця є неповною трикутною (НТМ). Наприклад, для коду "3 з 6", при  $p=16$  така матриця має 103 логічних елементів, замість 256 елементів прямокутної матриці. Але з нерівності  $K_{M,N} > K_n$  випливає також необхідність застосування спеціально складених алфавітів. Пропонується методика складання таких алфавітів. Для формування групи сигналів  $\bigwedge_{(k)} j_{m,n,k}$  (за допомогою "дротяних OR"), одночасно з видачею кодів операндів на матрицю, розроблено тип тригера з двома ідентичними електрично незалежними "одиничними" виходами. При інвертуванні коду від'ємника НТМ додавання стее матрицею віднімання.

Розроблені пристрої додавання/віднімання, у склад яких включено НТМ додавання/віднімання. Скорочення апаратних витрат в

цих пристроях призводять до адекватного підвищення швидкодії та зниження енергоспоживання.

ТРЕТІЙ РОЗДІЛ роботи присвячено структурній організації матричних пристроїв множення та ділення за методом прямого прискореного ділення. Виходячи з результатів аналізу архітектур та структур пристроїв множення, з урахуванням методів синтезу суматорів сформульованих в другому розділі роботи, визначена аналітична залежність  $a = \frac{18L_2}{p^2L_p(3L_p-2)}$  скорочення апаратних витрат на реалізацію "однотактного пристроя множення" в кодї "М з N", у порівнянні з двоїчним пристроєм ( $L_2$  та  $L_p$  - розрядності двоїчного та р-го пристрою, за умови фіксованого діапазону представлення чисел). Для значень розрядності чисел, що застосовуються на практиці, заощадження апаратних витрат в цьому випадку складає від 1,5 до 4,5 разів. Визначено також аналітичний вираз для оцінки відносної надмірності двоїчних "однотактних пристроїв множення":  $b = T_2/T_p = (3L_2 - 4)(2L_p + 1)$ , де  $T_2$  та  $T_p$  - час виконання циклу операції в двоїчному та р-ому ОП. Далі вирішується задача скорочення загальних апаратних витрат на пристрій, що виконує операції множення та додавання. За аналогією з відомою схемою двоступінчатої матриці елементів AND в позиційному кодї (має, приблизно, на 20% більшу швидкодїю ніж прямокутна матриця) будується двоступінчата матриця в кодї з  $M > 1$ . До її складу входить трикутна матриця двовходових логічних елементів, комутатор ( $2pM$ -входових елементів OR), лінійна матриця ( $p-1$   $2M$ -входових елементів AND). Загальна кількість логічних елементів визначається як:  $K_{ум} = p(p+5)/2 + 1$ . Пропонується в якості комутатора використати НТМ додавання/віднімання, за рахунок розширення її функціональних можливостей. Для усунення невизначенностей, виникаючих при надходженні сигналів з НТМ (що представляють різні за результатом множення пари операндів) на входи елементів трикутної матриці множення, на другі входи цих елементів надходять сигнали, що мають прикмети тої пари операндів, яка надійшла на входи НТМ додавання/віднімання. Сигнали-прикмети  $U_j$  ( $j = 0, 1, \dots, p-1$ ) формуються блоком контролю пристроя (додатково до його основної функції). Кількість логічних елементів матриці множення визначається аналітичним виразом:  $K_{ум}^* = \frac{p(p+1)}{2}$ . Особливістю запропонованої матриці множення є діагональні вхідні шини. Розроблено відповідний пристрій додавання та множення.

У вис копродуктивних ситемах обробки інформації найбільшої швидкодії при виконанні ділення може бути досягнуто за умов

апаратного вирішення та збільшення основи системи числення. Відомий метод прямого ділення без відновлення остачі, при  $p > 2$ , у відповідності до якого для здобуття цифри частки використовуються п'ять таблиць  $(T_1 \dots T_5)$ . По сполученню цифр  $a_i$  ( $a_{i-1}$ , при  $a_i = 0$ ) діленого та  $b_{i-1}$  дільника за допомогою таблиці  $T_1$  визначається деяка множина  $S^*$  припустимих значень  $c_j$ . Потім за сполученням цифр  $a_{i-1}$  ( $a_{i-2}$ , при  $a_{i-1} = 0$ ) та  $b_{i-2}$  за допомогою решти таблиць  $(T_2 \dots T_5)$  визначається одне з слідуєчих значень:  $c_j$ ;  $c_j^*$ , що перевищує точне  $(c_j)$  на одиницю;  $p$ -доповнення  $c_j$ , при від'ємному знаці попередньої остачі. Недоліками цього методу є часові затримки на приведення всіх розрядів частки до одного знаку, а також значні апаратні витрати, пов'язані з великою розмірністю таблиць та їх кількістю.

В дисертаційній роботі пропонується спосіб прямого ділення з відновленням остачі. В якості допоміжних величин вводиться різниця  $A-B$  (в першому такті ділення) та  $A_{i-1}B$  (у слідуєчих тактах ділення), де  $A$  - ділене,  $B$  - дільник,  $A_{i-1}$  - попередня зсувута остача. В результаті введення до складу пристроя ділення в коді "М з N", у відповідності до запропонованого способу, додаткового блоку віднімання, роздільного використання значень двох старших розрядів різниці  $A-B$  або  $A_{i-1}B$  (без урахування переносу), а також - ознак від'ємного або невід'ємного результату які формуються на виходах додаткового блоку віднімання скорочується кількість елементів матриці визначення імовірних значень цифри частки (на основі модифікованої таблиці  $T_1$ ), з чотирьох до одної скорочується кількість матриць уточнення області значень результату, що дозволяє зменшити апаратні витрати і підвищити швидкодію пристроя. Застосування схем відновлення частки та визначення точного значення цифри частки на данному етапі ділення дозволяє скоротити кількість ступеней пристроя і підвищити його швидкодію.

ЧЕТВЕРТИЙ РОЗДІЛ присвячено питанням технічного діагностування та розробці засобів підвищення надійності матричних ОП.

Відсутність сигналу на виходах матриці елементів AND (додавання, віднімання, множення та ін.) розряду ОП в момент часу  $t \pm \Delta t$  ( $\Delta t$  - розкид параметрів логічних елементів за часом) поява сигналів на виходах аналогічних матриць других розрядів ОП засвідчує про наявність помилки першої категорії у кодах операндів, або про несправність типу "обрив" у відповідному елементі матриці, що виявляється за допомогою тесту. Використання

матриць 2N-входових елементів AND, повністю захищених від помилок першої та другої категорії, недоцільно, тому що в цьому випадку значно обмежується вибір значень основи р. Ознаки відсутності помилок другої категорії в кодах операндів X та Y представимо як  $\bar{A}_{2x} = \bigwedge_{i=1}^N \bar{x}_{0,i} \vee \bigwedge_{i=1}^N \bar{x}_{1,i} \vee \dots \vee \bigwedge_{i=1}^N \bar{x}_{p-1,i}$ ;  $\bar{A}_{2y} = \bigwedge_{i=1}^N \bar{y}_{0,i} \vee \bigwedge_{i=1}^N \bar{y}_{1,i} \vee \dots \vee \bigwedge_{i=1}^N \bar{y}_{p-1,i}$ , де  $\bar{x}_{n,i}$  та  $\bar{y}_{n,i}$  - сигнали, що відповідають "нулям" у i-х позиціях кодів операндів X та Y, що представляють цифру n. У відповідності з цими виразами запропоновано схеми контролю, що являють собою повні дешифратори всіх дозволених кодових комбінацій. Кожний дешифратор має р (N-M)-входових елементів AND, на входи яких подаються сигнали що представляють "нулі" в кодах операндів. Імовірність з'явлення до даткових зупинок з причини відмов та сбоїв в блоці контролю ОП ви- значається аналітичним виразом:

$$Q(t) = 1 - \exp\left\{-2t \sum_{\ell=1}^p (\delta_{\ell}^0 \rho_{\ell}^0 \lambda_{\ell}^0 - \delta_{\ell}^c \rho_{\ell}^c \lambda_{\ell}^c) / \log_2 p\right\},$$

де  $\delta_{\ell}^0$  та  $\delta_{\ell}^c$  - імовірності з'явлення помилок кратності  $\ell$  ( $\ell = 1, 2, \dots, p$ ), обумовлені ві; ювами та сбоями відповідно;  $\rho_{\ell}^0$  та  $\rho_{\ell}^c$  - імовірності виявлення помилок кратності  $\ell$ , обумовлених відмовами та сбоями від- повідно;  $\lambda_{\ell}^0$  та  $\lambda_{\ell}^c$  - інтенсивності потоків відмов та сбїв схеми контролю коду операнда ( $p=2$ ) відповідно.

З виразу випливає, що із збільшенням основи р імовірність  $Q(t)$  зменшується, внаслідок зменшення навантаження на кожний елемент бло ку контролю. Скорочення кількості ступеней ОП дозволяє підвищити його тактову частоту, що призводить до зменшення імовірності утво- рення помилок третьої категорії (що не виявляються) в кодї операндів в процесі виконання програми обчислення. Для виконання блока конт- ролю одноступінчатим, при кількості входів не більше за 8 та двох вихідних сигналах ( $\bar{A}_{2x}$  та  $\bar{A}_{2y}$ ), доцільно вибирати коди з множини, для якої  $N-M \leq 8$  та  $M > 1$ . Частина розроблених ОП має блоки контролю.

З урахуванням того, що більшу частину часу ОП працює при відсутності помилок та сбїв, а також того, що програми обчислень, як правило, мають послідовності звернень до матриць елементів AND, що виконують функції виявлення помилок першої категорії, розглядаються умови, за яких блоки контролю можуть бути виключеними. З фіксованого відношення кількостей "одиниць" та "нулів" випливає, що інвертування коду, який має помилку другої категорії, приводить до утворення коду, який має помилку тієї ж кратності першої категорії. Таким чином помилковій комбінації в кодї "M+ $\ell$  з N" (де  $\ell = 1, 2, \dots, N-M$ ) буде відповідати інверсна помилкова комбінація в кодї "N-M- $\ell$  з N". На цьому основно запро-

поноване використання у схемі видачі результату ОП допоміжного коду, протилежного за рівнями напруг коду "Мз N", та попередня установка всіх тригерів регістру результату в "одиночний" стан. Для суматора сигнал, що представляє  $k$ -у позицію кодової комбінації  $m$ -ої напівсуми в коді протилежному (за символами) коду "М з N":

$$\bar{C}_{m,1/2,k} = \bigvee_{cm} C_{m,1/2,k} \text{ де } k=0,1,\dots,N-1; m=0,1,\dots,P-1; C_{m,1/2} - \text{ сигнал, що представляє таку } m\text{-у напівсуму, якій відповідає кодова комбінація напівсуми в коді "М з N" з "нулем" в } k\text{-ій позиції. Кодова комбінація що надійшла на регістр результату, переводить "зайві" тригери в нульовий стан. Помилки другої категорії в кодах операндів трансформуються в помилки першої категорії в коді результату операції та блокуються на наступному етапі обчислень (за допомогою матриці елементів AND). Вплив несправності типу "коротке замикання" в матриці елементів AND в цьому випадку аналогічний впливу помилки другої категорії в коді операнду та виявляється у момент відсутності сигналів результату операції на виходах інших розрядів ОП. Розроблено ряд пристроїв, що не мають спеціальних блоків контролю та захищені від помилок перших двох категорій. Пропонується синтез ОП в коді "М з N" з автоматичним відновленням працездатності, при несправності типу "обрив". Обрив будь якого зв'язку в матриці елементів AND, що має більшу частину елементів пристрою, призводить до втрати функціональної повноти останнім. В цьому випадку на виходах матриці додають одну можливість використати в якості додаткового коду "М з N із додачу } одиниць". При відсутності сигналу на виходах матриці елементів AND в момент часу, пов'язаний з появою сигналів на виходах матриць елементів AND других розрядів ОП, або знаходженням синхросигналу, під управлінням блоку переключення режимів роботи ОП проводиться корекція одного або двох кодів операндів, з метою наступного "обходу" відмовившого елемента матриці. Деякі варіанти формування управляючого сигналу корекції можна представити наступними виразами:
$$U_{кор} = \bigwedge_{i,i} \bar{C}_{i,1/2} \wedge U_T; U_{кор} = \bar{P}_{1,1/2} \wedge \bar{P}_{0,1/2} \wedge U_T; U_{кор} = \bigwedge_{i,i} \bar{C}_{i,1/2} \wedge (X_i \vee X_{i-1}),$$

де  $C_{i,1/2}$ ,  $P_{1,1/2}$  та  $P_{0,1/2}$  - сигнали, що представляють  $i$ -у напівсуму, переноси 1 та 0 в наступний (старший) розряд відповідно;  $X_i$  та  $X_{i-1}$  - сигнали, що представляють переноси 1 та 0 з попереднього (молодшого) розряду відповідно;  $U_T$  - сигнал синхронізації;  $i=0,1,\dots,p-1$ . Розроблено спосіб складання алфавіту, при використанні якого виключається необхідність корекції результату операції (після відновлення працездатності ОП). До складу пристрою необхідно$$

включити також додаткову матрицю корекції переносу. Запропонований новий тип комбінованого тригера для регістрів операндів (JK-тригер в нормальному режимі, T-тригер в аварійному режимі). Із збільшенням основи  $p$  зменшується (приблизно, у відповідності до  $p^2$ ) відносні втрати швидкодії ОП, пов'язані з автоматичним відновленням його працездатності. Розроблені відповідні пристрої. При конструюванні інтегральних схем з граничною (в технологічному аспекті) ступінню інтеграції виникає проблема визначення найменших допустимих геометричних розмірів компонентів та зв'язків між ними за умов забезпечення потрібної надійності інтегральних схем. В результаті використання в ОП засобів автоматичного відновлення працездатності матриці арифметичних операцій стають більш надійними блоками у порівнянні з іншими блоками ОП. Тому виникає можливість деякого зниження рівня вимог до надійності логічних елементів таких матриць і внаслідок цього – додаткової мінімізації геометричних розмірів елементів та їх зв'язків. Оскільки із збільшенням основи  $p$  процентний склад логічних елементів матриць арифметичних операцій у загальних впаратних витратах на реалізацію ОП зростає, виникає можливість скорочення загальної потрібної площі кристалу та підвищення швидкодії пристроя при фіксованому рівні вимог до надійності.

В закінченні сформульовані основні наукові результати виконаних досліджень, висновки, рекомендації по їх використанню в народному господарстві.

#### ОСНОВНІ РЕЗУЛЬТАТИ РОБОТИ І ВИСНОВКИ

1. В результаті дослідження сімейства кодів "м з N" виявлені їх загальні властивості, що підтверджують доцільність їх використання в ОП.

2. Визначені властивості окремих представників (включаючи різницю в алфавітах) сімейства кодів "м з N", впливаючих на структуру і кількісний склад елементів операційної частини ОП такого типу, що дає можливість підвищити ефективність останніх.

3. Всі запропоновані ОП захищені від впливу помилок першої та другої категорій, в результаті яких порушується структура коду, а також тих помилок третьої категорії, які приводять до виникнення заборонених кодових комбінацій із структурою даного коду: помилки першої категорії (недостача "одиниць") виявляються за допомогою матриць арифметичних операцій; помилки другої категорії (надмірність "одиниць") виявляються за допомогою блоків контролю,

або блокується на виходах пристрою, при використанні допоміжного коду (протилежного за рівнями напруг коду "М з N") у схемі видачі результату арифметичної операції за умови попередньої установки тригерів регістра результату в "одичний" стан -в цьому випадку блоки контролю виключаються із складу ОП; помилки першої та другої категорій виявляються за допомогою матриць арифметичних операцій, що мають 2N-входові елементи AND (з урахуванням обмежень на кількість входів логічного елемента  $N=4$ ,  $M=1$ ).

4. Виходячи з необхідності врахування невідомих раніше властивостей кодів "М з N" розроблена формалізована методика аналізу і синтезу основних пристроїв (додавання віднімання, множення та ділення) операційної частини ОП, на основі оптимального вибору параметрів М та N коду, алфавітів і значення основи р числення, складовою частиною якої є суміщеність функцій перетворення кодів на вході та виході пристрою з визначенням проміжного та остаточного результатів арифметичної операції, ефективних за швидкістю, апаратними витратами, або за складовим критерієм достовірності результатів обчислень та працездатності (відновленні).

В процесі розробки способів та принципів структурної організації ОП в коді "М з N" були здобуті наступні результати:

- Запропоновано спосіб синтезу неповної трикутної матриці (НТМ) 2M-входових елементів AND, оснований на формуванні області ідентичних наборів вхідних сигналів (включаючи допоміжні) у відповідності до таблиці, що дозволяє сумістити операції перетворення кодів операндів з операцією додавання/віднімання на одній ступені пристрою. Запропоновано спосіб складання алфавітів, що задовольняють умовам синтезу НТМ. Запропоновано тип тригера з подвійним (роздільним) "одичним" іходом, використання якого дозволяє включити до складу ОП комутатор з "дротяних OR".

- Запропоновано спосіб синтезу вихідної матриці та блока комутації, оснований на впорядкуванні структури схеми видачі суми у відповідності до відстаней Хемінга, визначених для пар кодових комбінацій, що представляють сусідні (за алфавітом) цифри, який дозволяє сумістити операції шифровки та формування суми (з урахуванням переносу) на одній ступені пристрою. Розроблено спосіб складання алфавітів, що визначають структуру блоків та склад запропонованих пристроїв. Частина таких алфавітів одночасно задовольняє вимогам синтезу НТМ додавання/віднімання.

- Запропоновано ряд пристроїв додавання: триступінчаті, в

яких матриця додавання/віднімання виконує також функцію перетворення кодів операндів; двоступінчаті, в яких вихідна матриця та, за необхідністю, блок комутації сумішують функції шифратора та схеми видачі суми; одноступінчаті, в яких схема видачі суми (без урахування переносу) представляє собою "дротяні OR".

- Запропонований спосіб синтезу пристроя множення та додавання/віднімання, оснований на розширенні функціональних можливостей НТМ додавання/віднімання та блока контролю, які формують відповідно сигнал, що представляє групу пар імовірних множників, та сигнали-ознаки множників, з використанням трикутної матриці (двовходових елементів AND з діагональними вхідними шинами) множення, без включення додаткових блоків.

5. Запропоновано спосіб прямого ділення чисел ( $p > 2$ ) з відновленням остачі, при якому алгоритм визначення поточної остачі вибирається з урахуванням результату віднімання дільника від попередньої зсунутої остачі (або діленого, на другому такті ділення), а точне значення цифри частки знаходиться з множини припустимих значень, з урахуванням результатів поразрядного віднімання пар старших цифр остачі (діленого) та дільника, що дозволяє в розробленому пристрої ділення скоротити кількість елементів матриці визначення імовірних значень частки та використати тільки одну матрицю (замість чотирьох) уточнення цифри частки. Такий пристрій відрізняється більш високою швидкістю та меншими апаратними витратами.

6. Запропоновано підхід до автоматичного відновлення працездатності ОП при виникненні несправності типу "обрив" у матриці арифметичної операції, оснований на використанні на входах такої матриці допоміжного коду "M з N із додачем K одиниць" та введення до складу пристрою блока управління режимом роботи і додаткової матриці корекції переносу. Розроблено спосіб складання алфавіту при використанні якого виключається необхідність корекції результату арифметичної операції (після відновлення працездатності ОП). Запропоновано тип комбінаційного тригера для регістрів операндів, що виконує функції JK-тригера або T-тригера в залежності від режиму роботи ОП.

#### ПУБЛІКАЦІЇ ПО ТЕМІ ДИСЕРТАЦІЇ

І.Брихович Е.И., Гуменюк В.А. Исследование достоверности результатов вычислений при представлении чисел "M из N" кодом // Сб. "Техническая диагностика электронных систем". - Киев, "Наукова думка", 1982, С.108-113.

2. Гуменюк В.А., Луков И.А. Синтез одноступенчатых схем выдачи результата операции в не двоичных сумматорах // Микропроцессорные системы и персональные ЭВМ. - Киев: Ин-т кибернетики им. В.М.Глушкова НАН Украины, 1993. - С. 50-56.
3. Гуменюк В.А. Синтез одноступенчатых неполных треугольных матриц сложения содержащих 2М-входовые логические элементы "И" // Микропроцессорные системы и персональные ЭВМ. - Киев: Ин-т кибернетики им. В.М.Глушкова НАН Украины, 1994. - С. 30-36.
4. А.с.798828 СССР Двухразрядный сумматор в коде "М из N" / В.А.Гуменюк. - Оpubл. в Б.И. N3, 1981.
5. А.с.873238 СССР Сумматор в коде "М из N" / В.А.Гуменюк. - Оpubл. в Б.И. N38, 1981.
6. А.с.911515 СССР Устройство для сложения / В.А.Гуменюк. - Оpubл. в Б.И. N9, 1982.
7. А.с.955037 СССР Сумматор в коде "М из N" / В.А.Гуменюк. - Оpubл. в Б.И. N32, 1982.
8. А.с.980092 СССР Двухразрядный сумматор в коде "М из N" / В.А.Гуменюк. - Оpubл. в Б.И. N45, 1982.
9. А.с.981992 СССР Сумматор в коде "М из N" / В.А.Гуменюк. - Оpubл. в Б.И. N46, 1982.
10. А.с.983706 СССР Сумматор в коде "М из N" / В.А.Гуменюк. - Оpubл. в Б.И. N47, 1982.
11. А.с.985781 СССР Сумматор в коде "М из N" / Е.И.Брихович, В.А.Гуменюк. Оpubл. в Б.И. N48, 1982.
12. А.с.1015372 СССР Устройство для сложения / В.А.Гуменюк. - Оpubл. в Б.И. N16, 1983.
13. А.с.1051533 СССР Сумматор в коде "М из N" / В.А.Гуменюк, Н.Н.Сиверская. - Оpubл. в Б.И. N40, 1983.
14. А.с. 1053103 СССР Сумматор в коде "М из N" / В.А.Гуменюк, Н.Н.Сиверская. - Оpubл. в Б.И. N41, 1983.
15. Гуменюк В.А. Зависимость энергопотребления ЭВМ, работающей в "М из N" коде, от структуры кода // Сб. "Труды молодых ученых", КИИГА. - Киев, 1981, С.141-148. - Деп. в УкрНИИТИ, N2987.
16. Гуменюк В.А. Влияние структуры "М из N" кода на время выполнения умножения в ЭВМ // Сб. "Труды молодых ученых", КИИГА. - Киев, 1981, С.177-184. - Деп. в УкрНИИТИ, N2987.
17. Гуменюк В.А. О надежности ВИС, включающих матричные арифметические устройства // Киев, 1982, 10 с. - Деп. в УкрНИИТИ, N4026Ук-Д82.

18. Гуменюк В.А. Преобразование прямоугольной матрицы многовыходных элементов И, предназначенной для сложения операндов в коде "М из N", в неполную треугольную матрицу многовыходных элементов И// М.,1983,10 с. - Деп. в ВИНТИ, №6327-83Деп.

19. Гуменюк В.А. Синтез комбинированных матриц сложения-умножения в коде "М из N"// М.,1983,9 с. - Деп. в ВИНТИ, №6328-83Деп.

20. Гуменюк В.А. Метод составления специального алфавита в коде "М из N"// М.,9 с. - Деп. в ВИНТИ, №6329-83Деп.

21. Гуменюк В.А. Синтез сумматоров в коде "м из N" содержащих выходные матрицы //М.,1989,10с. - Деп.в ВИНТИ,№1522-89.

22. Гуменюк А.В. Влияние структуры кода "м из N" на надежность устройств работающих в таком коде //М.,1989,12с. - Деп.в ВИНТИ, №1523-89.

23. Гуменюк В.А. Влияние параметров кода "м из N" на быстродействие операционных устройств, работающих в таком коде //М.,1989,12с. - Деп. в ВИНТИ, №1524-89.

Гуменюк В.А. Вопросы анализа и синтеза средств повышения скорости и достоверности обработки информации в системах со специализированными вычислительными устройствами.

Диссертация на соискание ученой степени кандидата технических наук по специальности 05.13.08 "Вычислительные машины, системы и сети, элементы и устройства вычислительной техники и систем управления", институт проблем моделирования в энергетике НАН Украины, Киев, 1995.

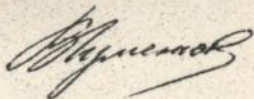
Исследованы свойства кодов "М из N" и дана оценка эффективности их применения, на основе анализа структур операционной части матричных ВУ. Разработана методика анализа и синтеза основных устройств (сложения, вычитания, умножения и деления) операционной части высокопроизводительных матричных ВУ, с регулярной структурой отдельных блоков. Выполнен анализ безотказности работы матричных ВУ и разработаны способы и средства обеспечения надежности устройств и достоверности результатов вычислений.

Gumenyuk V.A. Analysis and synthesis problems in various facilities for raising and true processing of information in systems with special calculating devices.

Thesis for scientific degree of a technical sciences candidate in 05.13.08 speciality "Computing machines, systems and nets,

elements and devices of computing machinery and controlling systems", Institute of Modeling Problems in Power Engineering at Ukrainian National Academy of Sciences, Kiev, 1995.

Properties of the codes "M from N" are studied and the effect of their application on the base of the analysis structure processing part belonging matrix VU is evaluated. Method for analysis and synthesis of the principal devices (addition, subtraction, multiplication and division) of processing part in highproducing matrix VU with a regular structure of separate blocks is elaborated. Analysis of non-failure operation of the matrix VU is carried out aswell as methods and means used for providing the various devices reliability and true processing of results are elaborated.

A handwritten signature in cursive script, likely belonging to the author of the document, is centered on the page below the main text.

-----  
Підписано до друку 22.05.95. Формат 60x84/16. Папір друкарський.  
Офсетний друк. Ум.фарбовідб. 5. Ум. друк. арк. I, I6. Обл. вид. арк. I, 25.  
Тираж 100 прим. Замовлення № 100 - I. Ціна . Вид. № 241/Ш.  
-----

Видавництво КМУЦА.

252058. Київ-58, проспект Космонавтів Комарова, I.







AB 32.583