

Одеський Державний політехнічний університет

На правах рукопису

ХАСОНАХ Уаель Абед Аль-Хамід
[Йорданія]

د.ع.ع

УДК 681.326

СПОСОБИ СКОРОЧЕНОГО ВИКОНАННЯ ОПЕРАЦІЙ
ТА ЇХ АПАРАТНОГО КОНТРОЛЮ В АРИФМЕТИЧНИХ
ПРИСТРОЯХ

Спеціальність 05.13.08 - "Обчислювальні машини, системи
та мережі, елементи та пристрої обчислювальної техніки та
систем керування"

Автореферат
дисертації на здобуття наукового ступеня
кандидата технічних наук

Одеса - 1996

АВ 34. тав

Дисертацією є рукопис.

Робота виконана на кафедрі «Комп'ютерні інтелектуальні системи та мережі» Одеського державного політехнічного університету

Науковий керівник:

кандидат технічних наук, доцент
Дрозд Олександр Валентинович.

Офіційні опоненти:

доктор технічних наук, доцент
Тихончук Сергій Тимофійович;
кандидат технічних наук, доцент
Карачун Леонід Федорович.

Провідна організація:

Українська Державна Академія зв'язку

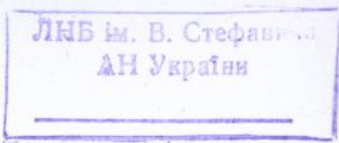
Захист відбудеться « 30 » травня 1996р. о 14⁰⁰ на засіданні спеціалізованої вченої ради Д05.06.04 в Одеському державному політехнічному університеті (м.Одеса, пр.Шевченка, 1).

Відгук на автореферат у двох примірниках, засвідчений печаткою установи, просимо направляти за адресою: 270044, м.Одеса, пр.Шевченка, 1, Вченому секретарю ОДПУ.

З дисертацією можна ознайомитися у бібліотеці Одеського державного політехнічного університету.

Автореферат розісланий « 26 04 » 1996р.

Вчений секретар
спеціалізовані ради,
кандидат технічних наук,
професор



Ямпольський Ю.С.

ЛНБ України ім.В.Стефаніка



00760243 (M)

АНОТАЦІЯ

Метою дисертаційної роботи є розробка способів скороченого виконання операцій та їх апаратного контролю за модулем в арифметичних пристроях з округленням.

Відповідно до поставленої мети вирішуються такі задачі:

1. Аналіз можливостей скорочення обчислень в арифметичних пристроях (АП) з округленням.
2. Розробка та оцінка способів скороченого виконання та контролю за модулем множення та піднесення до квадрату в матричних пристроях з округленням.
3. Розробка та оцінка способів скороченого виконання і контролю за модулем операцій в порозрядних конвейєрних помножувачах та квадраторах з округленням.
4. Розробка та оцінка способів скороченого виконання і контролю за модулем операцій в помножувачах та подільвачах на константу.
5. Розробка та оцінка способів скороченого виконання і контролю за модулем операцій в матричних пристроях з відновленням і без відновлення залишку.

На захист виносяться такі результати роботи:

1. Способи скороченого виконання арифметичних операцій в матричних пристроях з округленням.
2. Способи скороченого виконання арифметичних операцій в порозрядних конвейєрних пристроях з округленням.
3. Способи контролю за модулем скороченого виконання в арифметичних пристроях з округленням.

ЗАГАЛЬНА ХАРАКТЕРИСТИКА РОБОТИ

Актуальність теми. Матричні та конвейєрні АП з округленням набувають широкого використання в сучасній обчислювальній техніці. Вони забезпечують високу продуктивність обчислювань в широкому діапазоні подання чисел в форматах з плаваючою крапкою. Витрати обладнання цих пристроїв знаходяться в квадратичній залежності від розрядності обробляємих чисел і значно зростають з підвищенням точності обчислень, що звертає увагу на економічність одержаних рішень. В цих умовах важливе значення набувають способи побудови АП із скороченим виконанням опе-

рацій. Відомий метод скороченого множення забезпечує суттєве зниження витрат обладнання та часу в матричних пристроях з округленням. Проте, скорочення виконання операцій не має на цей час достатнього обсягу досліджень. Не вивчені можливості скорочення обчислювань в інших арифметичних операціях, не розглянуто скорочення обчислень в конвейєрних обчислювальних пристроях.

Суттєвим обмеженням в використанні АП з скороченим виконанням операцій є також недостатня розробка питань їх апаратного контролю, спрямованого на досягнення бажаного рівня достовірності функціонування цих пристроїв. Скорочення обчислювань супроводжується обмеженням розрядності обробляємих чисел. Це суттєво змінює умови контролю за модулем, який традиційно і ефективно використовується для перевірки повнорозрядних операцій. Відомі рішення з контролю скороченого виконання арифметичних операцій не враховують всіх можливостей скорочених обчислювань.

Таким чином, необхідні додаткові дослідження в області скороченого виконання операцій в АП з округленням та їх апаратного контролю. Виходячи з цього, тема роботи, присвячена розглянутим питанням, є актуальною.

Методи досліджень. Для розв'язання поставлених завдань застосовується прикладна теорія цифрових автоматів, теорія чисел, елементи дискретної математики, математичної логіки і теорії алгоритмів.

Наукова новина

1. Розроблені і оцінені способи скороченого виконання арифметичних операцій в матричних та конвейєрних пристроях з округленням.
2. Запропоновані способи контролю пристроїв з округленням, які виконані із скороченням обчислень.

Практична вагомість.

Розроблені в дисертаційній роботі способи дозволяють будувати економічні швидкодійні матричні та порозрядні конвейєрні пристрої з округленням та їх схеми вбудованого контролю за модулем.

Достовірність теоретичних результатів підтверджується доказами основних положень і висновків, а також розрахунками на ЕОМ.

Реалізація результатів роботи. Розроблені способи внесені в навчальний процес в Одеському державному політехнічному університеті і використовуються в дисциплінах «Арифметичні основи обчислювальної техніки» та «Діагностика комп'ютерних систем».

Апробація роботи. Основні результати досліджень доповідались та обговорювались на наукових конференціях, молодих вчених Одеського державного політехнічного університету (1994р., 1995р.), а також на Європейській конференції розробки та тестування ED&TC 96 (Париж, березень 1996г.)

Публікації. За темою дисертації опубліковано 6 друкованих робіт.

Структура і обсяг дисертації. Дисертаційна робота складається з вступу, чотирьох розділів, викладених на 164 сторінках машинописного тексту, містить 40 рисунків та список літератури з 68 найменувань.

У вступі обґрунтована актуальність теми, сформульовано мету досліджень і основні висновки, що виносяться на захист.

В першому розділі досліджуються відомі рішення по скороченому виконанню операцій в арифметичних пристроях з округленням та їх апаратному контролю. Робиться висновок про доцільність розробки способів скороченого виконання операцій і їх контролю.

В другому розділі визначаються можливості додаткового скорочення обчислювань у матричному помножувачі і скороченого виконання операцій у матричному квадраторі з округленням, а також способи контролю цих пристроїв за модулем. Викладені розроблені способи скороченого виконання і контролю за модулем операцій множення і піднесення до квадрату у порозрядних конвейєрних пристроях з округленням та їх оцінки.

В третьому розділі запропоновані способи скорочення обчислювань за модулем та їх оцінки в помножувачах на константу в коді $01\bar{1}$, а також в помножувачах та поділювачах на константу по дужковій формі, виконаних з обмеженням розрядності чисел, що обробляються.

В четвертому розділі викладені розроблені способи скороченого виконання операції ділення чисел та їх оцінки в матричних пристроях з округленням, виконаних за алгоритмами з відгукненням та без відновлення залишків. Запропоновані способи контролю за модулем матричних пристроїв з округленням, виконаних за розробленими способами.

ОСНОВНИЙ ЗМІСТ РОБОТИ

Перехід до обробки чисел у форматі з плаваючою точкою, зумовлений розширенням діапазону зображення чисел, потребує виконання арифметичних операцій над n -розрядними операндами з обчислюваннями n -розрядного округленого результату. Такий результат може бути одержаний із збереженням точності обчислювання при скороченому виконанні операцій. В одноктактних матричних та порозрядних конвейєрних АП з округленням скорочення обчислювань, створюються умови для зниження витрат обладнання і підвищення швидкодії, що важливо, оскільки такі АП відзняються великими витратами обладнання і застосовуються при підвищених вимогах до продуктивності.

Особливе місце у задачах скорочення обчислювань займає операція множення, що присутня в усіх операціях з плаваючою точкою при обробці мантис чисел, і яка вимагає округлення повного $2n$ -розрядного результату до n розрядів. Відомий метод скороченого множення ґрунтується на аналізі матриці кон'юнкцій добутку при її розподілу на дві частини - праву, що складається з k молодших стовбців, які вилючаються з обчислювань, та ліву, яка застосовується для формування округленого добутку.

Для n -розрядних двійкових співмножників $A\{1...n\}$ та $B\{1...n\}$ повний добуток $C\{1...2n\}$ розподіляється на відтятий добуток $C\{k+1...n\}$, обчислений по лівій частині матриці кон'юнкцій, та необчислювану частину добутку, що визначається правою частиною матриці кон'юнкцій:

$$C\{1...k\} = \sum_{i=1}^k \sum_{j=1}^{k-i+1} (A\{i\} B\{j\} \cdot 2^{i+j-2})$$

Старші n розрядів відтязого добутку $C\{k+1...2n\}$ складають округлений результат $C\{n+1...2n\}$.

Величина k визначається з умов неістотного впливу необчислюваної частини матриці на округлений результат:

$$C\{1\dots k\} < 2^n.$$

Ця нерівність розв'язується при максимальному значенні необчислюваної частини добутку

$$C\{1\dots k\} = (k-1)2^{k+1}$$

і визначає величину k із умови:

$$(k-2) < 2^{n-k}$$

за приблизною формулою

$$k = n - \lceil \log_2(n-2) \rceil.$$

Економія обладнання та часу в матричному помножувачі з округленням, виконаному за даним методом, збільшується із зростанням n , наближаючись до двократної.

Проте можливості скорочення обчислювань обмежуються:

- визначенням величини k за максимальним значенням необчислюваної частини $C\{1\dots k\}$;
- скороченням обчислень із точністю до цілої кількості стовбців матриці.

При цьому доля максимальних значень $C\{1\dots k\}$ складає дуже малу величину 2^{-2k} (наприклад для $n=8$ та $n=32$ відповідно 2^{-10} і 2^{-54}), що для широкого кола задач дозволяє зняти ці жорсткі обмеження.

Запропонована оцінка можливого скорочення обчислювань базується на усередненому значенні $C\{1\dots n\}$, що складає $1/4$ частину від максимального значення кількості k необчислюваних стовбців та r елементів $(k+1)$ -го стовбця матриці із умови:

$$(k-1+r)2^{k+1} < 2^{n+2}$$

за формулами

$$(k-2) < 2^{n-k+2},$$

$$r = 2^{n-k+2} - k.$$

На рис.1 для $n=12$ показаний розподіл матриці кон'юнкцій на праву та ліву частини при відкиданні k стовбців, що визначаються за максимальним значенням $C\{1\dots k\}$ та додатковим скороченням обчислювань (k стовбців та r елементів $(k+1)$ -го стовбця).

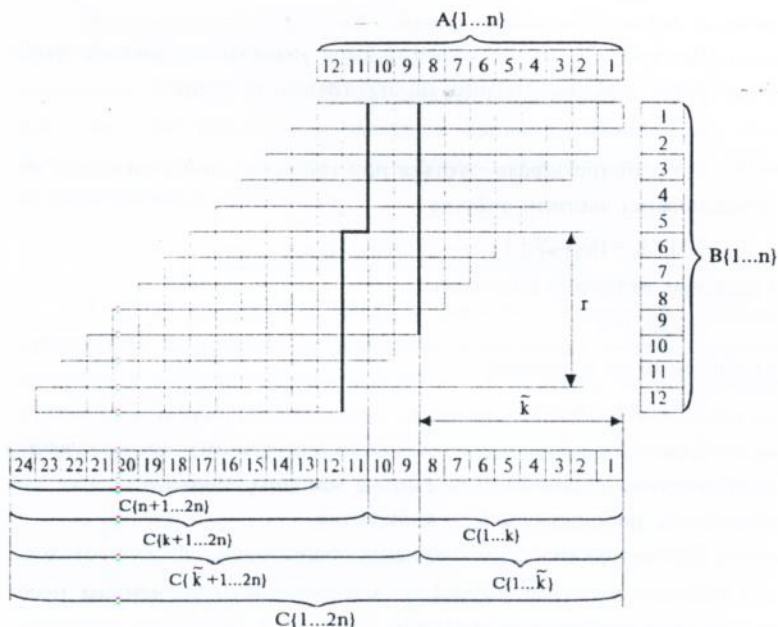


Рис.1. Розподіл матриці кон'юнкцій добутку для $n=12$.

Додаткова економія обладнання та часу з ростом n збі-
 шується в абсолютному і зменшується у відносному виразах. Для
 $n=12$ та $n=40$ додатково скорочуються 23 і 97 додавачів, що скла-
 дає 25% і 10% від об'єму АП відповідно. Для одержаних даних і
 слідуючих за цим опосереднених оцінок скорочення обчислень в
 інших АП на ЕОМ разрахована середньоквадратична помилка від-
 хилень округленого результату від повного. Вона не перевищує ва-
 ги молодшого розряду округленого результату та із збільшенням n
 зменшується.

Для матричного квадратора виконано оцінку можливостей
 скорочення обчислювань при максимальному та опосередненому
 значенні $C(1 \div k)$. У діапазоні $n=10 \div 70$ витрати обладнання знижу-
 ються від 23% до 42% при жорстких обмеженнях і на рівні
 43÷44%, якщо їх зняти. Час обчислювань зменшується відповідно
 від 40% до 46% і на рівні 45%÷47%.

Додаткове скорочення обчислювань змінює умови апаратно-
 го контролю за модулем матричних пристроїв з округленням.
 Відомі контрольне співвідношення для перевірки матричного по-
 множувача з скороченням обчислень

$$KA\{1\dots n\} \cdot KB\{1\dots n\} - KC\{1\dots k\} = KC\{k+1\dots 2n\},$$

де $KA\{1\dots n\} = A\{1\dots n\} \bmod m,$

$$KB\{1\dots n\} = B\{1\dots n\} \bmod m,$$

$$KC\{1\dots k\} = C\{1\dots k\} \bmod m,$$

$$KC\{k+1\dots 2n\} = C\{k+1\dots 2n\} \bmod m,$$

а також зображення необчислюваної частини матриці мінімально із k фрагментів V_i і визначення її контрольного коду $KC\{1\dots k\}$ як алгебраїчної суми контрольних кодів KV_i фрагментів V_i , $i=1\dots k$ (фрагмент-частина матриці, що є добутком частини множеного на частину множника).

У дисертаційній роботі доведені теореми, що визначають для додаткового скорочення обчислювань мінімальну кількість фрагментів необчислюваної частини

$$k_r = \max(k-r, r)$$

та її контрольний код $KC_r\{1\dots k\}$ як алгебраїчну суму k_r контрольних кодів фрагментів. Пропонується спосіб контролю матричного помножувача з додатковим скороченням обчислювань. В його основу покладено розділення необчислюваної частини матриці на мінімальну кількість k_r фрагментів, визначення контрольних кодів фрагментів як добутків контрольних кодів частин співмножників, одержаних при формуванні кодів $KA\{1\dots n\}$ та $KB\{1\dots n\}$. Запропоноване в розглянутому способі розділення необчислюваної частини матриці на фрагменти є симетричним і, таким чином, зберігається без змін при зміні місць множників. Це дозволяє ефективно розповсюдити розглянутий спосіб контролю на матричний квадрат. Розроблені способи зберігають витрати обладнання та часу на контроль при збільшенні кількості скорочених стовбців матриці, що здобувається за рахунок $k_r \leq k$.

В роботі досліджені можливості застосування методу скороченого виконання арифметичних операцій до порозрядних конвейєрних пристроїв з округленням. Продуктивність таких пристроїв оцінюється за формулою:

$$P_0 = f / (n+p),$$

де f - частота надходження розрядів операндів,

p - пауза між вводом даних.

Показано, що для безперервної обробки чисел, тобто при $p=0$, спостерігається збільшення продуктивності за рахунок скоро-

чення обчислювань на $\Delta P \approx f/(2n)$ і відносне зростання продуктивності на $\sigma P = k/(2n-k)$. При збереженні продуктивності знижуються витрати обладнання з відносною оцінкою $\sigma S_{nk} = k/(2n)$.

При скороченні обчислювань змінюються умови контролю за модулем порозрядних конвейєрних пристроїв, в яких з скороченням обчислювань не вирішується дане завдання, оскільки вони не забезпечують тимчасового узгодження контрольних обчислювань.

Запропонований спосіб контролю порозрядного конвейєрного помножувача застосовує розподіл матриці кон'юнкцій добутку на фрагменти:

$$V_i = \begin{cases} A\{k-i+1\}B\{1\dots i\} \cdot 2^{k-i}, & \text{для } i = 1\dots k - KH, \\ A\{1\dots KH\}B\{1\dots KH\}, & \text{для } i = KH(2KH - k), \\ A\{1\dots k-i+1\}B\{i\} \cdot 2^{i-1}, & \text{для } i = KH + 1\dots k, \end{cases}$$

де $KH = \lfloor k/2 \rfloor$.

Контрольний код $KC\{1\dots k\}$ визначається за формулою:

$$KC\{1\dots k\} = \sum_{i=1}^{k-KH} (KA\{k-i+1\}KB\{1\dots i\}w_1) + \sum_{i=KH+1}^k (KA\{1\dots k-i+1\}KB\{i\}w_2) + KA\{1\dots KH\}KB\{1\dots KH\},$$

де $KA\{k-i+1\} = A\{k-i+1\} \bmod m$,

$$KB\{1\dots i\} = B\{1\dots i\} \bmod m,$$

$$KA\{1\dots k-i+1\} = A\{1\dots k-i+1\} \bmod m,$$

$$KB\{i\} = B\{i\} \bmod m,$$

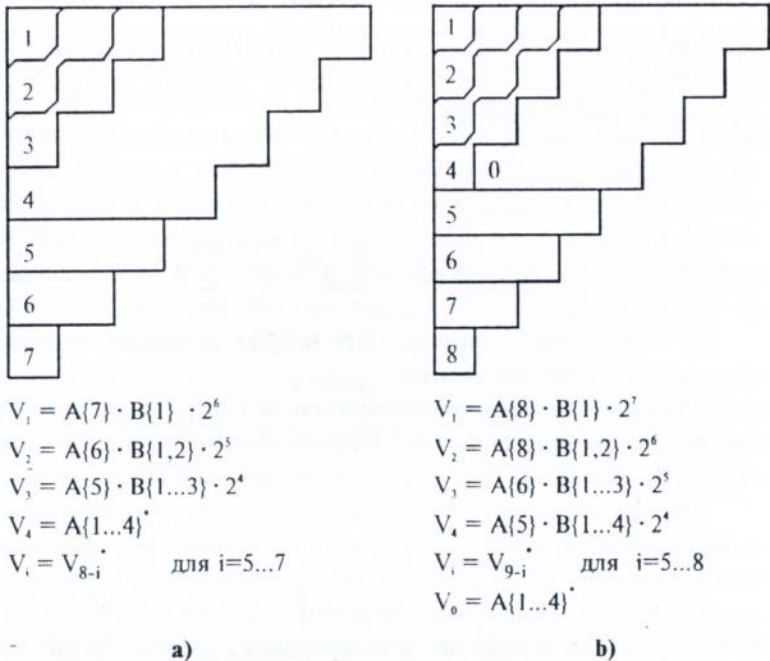
$$KA\{1\dots KH\} = A\{1\dots KH\} \bmod m,$$

$$KB\{1\dots KH\} = B\{1\dots KH\} \bmod m,$$

$$w_1 = 2^{k-i} \bmod m,$$

$$w_2 = 2^{i-1} \bmod m.$$

На рис. 2 а і б показані запропоновані розподіли необчислюваної частини матриці кон'юнкцій на фрагменти відповідно для $k=7$ і $k=8$. Символом * позначені фрагменти із зміною місць співмножників.



$$\begin{aligned}
 V_1 &= A\{7\} \cdot B\{1\} \cdot 2^6 \\
 V_2 &= A\{6\} \cdot B\{1,2\} \cdot 2^5 \\
 V_3 &= A\{5\} \cdot B\{1...3\} \cdot 2^4 \\
 V_4 &= A\{1...4\} \\
 V_i &= V_{8-i} \quad \text{для } i=5...7
 \end{aligned}$$

$$\begin{aligned}
 V_1 &= A\{8\} \cdot B\{1\} \cdot 2^7 \\
 V_2 &= A\{8\} \cdot B\{1,2\} \cdot 2^6 \\
 V_3 &= A\{6\} \cdot B\{1...3\} \cdot 2^5 \\
 V_4 &= A\{5\} \cdot B\{1...4\} \cdot 2^4 \\
 V_i &= V_{9-i} \quad \text{для } i=5...8 \\
 V_0 &= A\{1...4\}
 \end{aligned}$$

Рис.2. Розподіли на фрагменти $C(k)$: а) для $k=7$ і б) для $k=8$.

Контрольні обчислювання виконуються в процесі надходження послідовних кодів операндів, а код контролю формується разом з завершенням основної операції. Відносні витрати обладнання на контроль знижуються з ростом n від 38% для $n=16$ до 24% для $n=64$ та прагнуть до 20%.

Симетричний характер розподілу матриці дозволив застосувати його для контролю порозрядного конвейєрного квадратора. При цьому відносні витрати обладнання на контроль знижуються з ростом n від 16% для $n=16$ до 8% для $n=64$ та прагнуть до 5%.

В роботі розглянуто скорочення обчислювань в помножувачах та поділювачах на константу з округленням. Визначено спосіб скорочення обчислювань в помножувачах на константу у кодї 01 $\bar{1}$ з обмеженням розрядності складових за максимальним та усередненим значенням необчислюваної частини. Кількість необчислюваних розрядів \tilde{k} та k для цих випадків визначається за формулами:

$$\tilde{k} \leq n - \lceil \log_2(\max(n_{c1}, n_{c2})) \rceil,$$

$$k \leq n - \lceil \log_2(|n_{c1} - n_{c2}|) \rceil,$$

де n_{c1} та n_{c2} - відповідно, кількість 1 та $\bar{1}$ в цих розрядах константи.

Запропоновано спосіб контролю за модулем, що реалізує контрольне співвідношення:

$$KC\{k+1 \dots 2n\} = \sum_{i=1}^n KA\{i\},$$

$$\text{де } KA\{i\} = A\{i\} \left(\sum_{i=1}^{n_{c1} + n_{c2}} S n_i 2^{W_{i1} + i - 2} - \sum_{i1}^{n_{c1}} 2^{W_{i1} + i - 2} + \sum_{i2=1}^{n_{c2}} 2^{W_{i2} + i - 2} \right) \bmod m.$$

W_{i1} та W_{i2} - номери позиції $i1$ -го та $i2$ -го символів 1 та $\bar{1}$ відповідно, $S n_i$ - знак i -го додатка.

За даним способом розроблено схеми контролю для матричних та конвейєрних пристроїв. Витрати обладнання на контроль складають, відповідно, $9/n$ і $2/n$ частини від основного пристрою.

Визначено спосіб скорочення обчислювань в помножувачах та поділювачах на константу за дужковою формою. Запропоновано спосіб контролю за модулем, що враховує обмеження розрядності чисел у процесі обчислювань. За даним способом розроблено схеми контролю для матричних та конвейєрних пристроїв. Їх витрати відносяться до основного пристрою як $12.5/n$ та $5/n$.

В роботі запропоновані способи скороченого виконання операції ділення за алгоритмами з відновленням та без відновлення залишку. Скорочення обчислювань складається з вилучення із обчислювань молодших розрядів дільника при визначенні молодших розрядів частки.

Аналіз скороченого ділення з відновленням залишку встановив відповідність необчислюваної частини в цій операції скороченого множення, що визначило можливості скорочення обчислювань в діленні з відновленням залишку по оцінкам, одержаним для скороченого виконання множення.

В діленні без відновлення залишку вилучені із обчислювань розряди дільника відносяться до необчислюваної частини з різними знаками, що порушує відповідність зворотньої операції скороченого множення. Проте аналіз можливостей скорочення обчислювань визначив їх на тому ж рівні, що і ділення з відновленням залишку. Розрахунок на ЄОМ помилки, зумовленої скороченням обчислювань, підтвердив їх правомірність.

Оцінка витрат обладнання та часу в матричних поділювачах з округленням, розроблених по запропонованим способам показа-

ла, що вони практично однакові та істотно нижчі показників повнорозрядних пристроїв. Із збільшенням розрядності операндів вираш в обладнанні та швидкодії наближається до двократного.

Розроблені способи контролю за модулем для пристроїв скороченого ділення з відновленням і без відновлення залишку. Контроль ділення з відновленням залишку виконано з врахуванням відповідності зворотної операції із застосуванням апарату розділу необчислюваної частини на фрагменти V_i та доведених для контролю множення теорем. Для діленого $A\{1\dots n\}$, відтятого залишку $D\{k+1\dots n\}$, дільника $B\{1\dots n\}$, частки $C\{1\dots n+1\}$ визначаються їх контрольні коди KA, KD, KB, KC :

$$KA = (A\{1\dots n\} \cdot 2^n) \bmod m,$$

$$KD = (D\{k+1\dots n\} 2^k) \bmod m,$$

$$KB = (B\{1\dots n\}) \bmod m,$$

$$KC = (C\{1\dots n+1\}) \bmod m,$$

для яких одержано контрольне співвідношення:

$$KA - KD = KB \cdot KC - KG,$$

що містить також контрольний код KG необчислюваної частини $G\{1\dots k\}$. Він визначається за формулою:

$$KG = \sum_{i=1}^k (-1)^{i-1} KV_i,$$

де $i_1 = 2\lfloor i/2 \rfloor - 1$, $i_2 = 2\lfloor i/2 \rfloor$,

$$KV_{i_1} = KB\{1\dots k+1-i_1\} \cdot KC\{i_1, i_1+1\},$$

$$KV_{i_2} = KB\{k+2-i_2\} \cdot KC\{i_2\} W_k,$$

$$KB\{1\dots k+1-i\} = B\{1\dots k+1-i\} \bmod m,$$

$$KC\{i_1, i_1+1\} = C\{i_1, i_1+1\} \bmod m,$$

$$KB\{k+2-i_2\} = B\{k+2-i_2\} \bmod m,$$

$$KC\{i_2\} = C\{i_2\} \bmod m,$$

$$W_k = 2^k \bmod m.$$

Контрольне співвідношення для перевірки за модулем скороченого ділення без відновлення залишку одержано шляхом простежування алгоритму ділення в зворотньому напрямку. Для $m=3$ воно має вигляд:

$$(-1)^{n-k} KA + (KD\{k+1\dots n\} + -C\{1\}KB\{1\dots n-k\})(1-KC\{1\}) =$$

$$= - \sum_{i=1}^k (KB\{1\dots n-k-1+i\}(1+KC\{i+1\})) + KB\{1\dots n\}(1-KC\{k+2\dots n+1\}),$$

де $KC\{1\} = C\{1\} \bmod 3$,

$$KB\{1\dots n-k\} = B\{1\dots n-k\} \bmod 3,$$

$$KC\{i+1\} = C\{i+1\} \bmod 3,$$

$$KB\{1\dots n-k-1+i\} = B\{1\dots n-k-1+i\} \bmod 3,$$

$$KC\{k+2\dots n+1\} = C\{k+2\dots n+1\} \bmod 3.$$

Оцінка витрат обладнання та часу на контроль визначили однакові показники схем контролю за модулем три. Витрати обладнання не перевищують $10/(n+2)$ частину від основного пристрою, а швидкодія забезпечує практично одночасну видачу основних та контрольних результатів.

Основні результати роботи

1. Аналіз методу скороченого множення виявив додаткові можливості скорочення витрат в матричному помножувачі з округленням, що дають відносне зниження витрат обладнання і часу відповідно на $5/n$ і $2/n$ (n - розрядність операндів). Одержаний спосіб скорочення обчислювань розповсюджено на матричний квадрат з округленням, для якого загальне зниження витрат обладнання та часу складає $40 \div 47\%$.
2. Для матричних помножувача та квадратора з запропонованим скороченням обчислювань розроблені економічні способи контролю за модулем.
3. Розроблені способи скороченого виконання операцій для порозрядних конвейерних помножувачів та квадратів з округленням знижують витрати обладнання для цих пристроїв майже у 2 рази.
4. Запропоновані економічні способи контролю за модулем порозрядних конвейерних пристроїв з скороченим виконанням операцій множення та піднесення до квадрату.
5. Розроблені способи скорочення обчислювань в помножувачах на константу у коді $01\bar{1}$ і в помножувачах та поділювачах на константу за дужкову формую з округленням розрядності обробляємих чисел, які істотно знижують витрати обладнання та часу.

6. Розроблені способи контролю за модулем помножувачів та поділювачів на константи, виконаних з запропонованим скороченням обчислювань.
7. Розроблені способи скороченого виконання операції ділення чисел з відновленням та без відновлення залишків в матричних пристроях з округленням. Оцінка витрат обладнання та часу показала їх зниження, що наближається з ростом n до двократного.
8. Запропоновані способи контролю за модулем матричних пристроїв з скороченим виконанням ділення за алгоритмами з відновленням та без відновлення залишків.

Роботи, опубліковані за темою дисертації

1. Дрозд О.В., Лобачов М.В., Хасонах У. Функціональне діагностування арифметичних пристроїв з скороченим виконанням операцій. / Твори Одеського політехнічного університету №2. Одеса, 1996.
2. Дрозд О.В., Хасонах У. Скорочення обчислювань в поділювачах на константу / Одеський державний політехнічний університет - Одеса, 1995. - Депонування в ДНТБ України 18.12.95 №7 - Ук96.
3. Дрозд О.В., Хасонах У., Лобачов М.В. Матричний поділювач з округленням та його контроль за модулем / Одеський державний політехнічний університет - Одеса, 1996. - Депонування в ДНТБ України 01.02.96 №417 - Ук96.
4. Дрозд О.В., Хасонах У., Лобачов М.В. Про скорочення обчислювань та обладнання в матричних помножувачах з округленням та їх схемах вбудованного контролю / Одеський державний політехнічний університет - Одеса, 1995. - Депонування в ДНТБ України 25.11.95 №2478 - Ук95.
5. Дрозд О.В., Хасонах У., Лобачов М.В. Функціональне діагностування порозрядних конвейерних пристроїв з округленням / Одеський державний політехнічний університет - Одеса, 1995. - Депонування в ДНТБ України 11.12.95 №2649 - Ук95.
6. Drozd A.V., Lobachov M.V., Hassonah W. Hardware Check of Arithmetic Devices with Abridged Execution of Operations. - The European Design & Test Conference (ED&TC 96). - Paris, France, March 11-14, 1996.

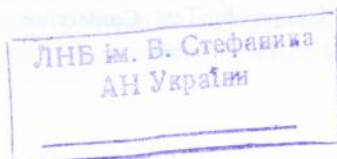
Анотація

Хасонах Уаель. Способи скороченого виконання операцій та їх апаратного контролю в арифметичних пристроях. Дисертація на здобуття наукового ступеня кандидата технічних наук за фахом 05.13.08 - Обчислювальні машини, системи та мережі, елементи та пристрої обчислювальної техніки і систем керування. Одеський державний політехнічний університет. Одеса 1996. Метою дисертаційної роботи є розробка способів скороченого виконання та апаратного контролю за модулем в арифметичних пристроях з округленням. Розроблені способи забезпечують суттєве зниження витрат обладнання та часу на обчислювання в матричних та конвейєрних пристроях з округленням, а також контроль виконання операцій.

Abstract

Hassonah Wael. Methods of Abridged Execution of Operations and their Hardware Check in Arithmetic Devices. Ph.D. Dissertation on speciality 05.13.08 - Computers, computing systems and networks, elements and devices of computer's equipment and control systems. Odessa state politechnical university. Odessa, 1996. The aim of dissertation is development of methods Abridged Execution and Hardware Check by Module in Arithmetic Devices with rounding-off. The developed methods provides significant reduction expenses of equipment and times on computation in Matrix and Pipeline devices with rounding-off, and checking of operations execution.

Ключевые слова: Арифметические матричные и конвейерные устройства с округлением, сокращенное выполнение операций, контроль по модулю.



Подп. в печ. 23.04.96 Формат 60x84 1/16 Бумага финская
Заказ 146 Тираж 30

Производственно-полиграфический отдел ОЦНТЭИ
Украина, 270026, г.Одесса, ул.Ришельевская, 28

MURFIN

AB 34.725

AB 34.725