МІНІСТЕРСТВО ОСВІТИ УКРАЇНИ

ХАРКІВСЬКИЙ ДЕРЖАВНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ
РАДІОЕЛЕКТРОНІКИ

На правах рукопису

МАКАРЕНКО ГАННА МИКОЛАЇВНА

АЛГОРИТМІЧНЕ ТА СХЕМОТЕХНІЧНЕ ЗАБЕЗПЕЧЕННЯ ПРОЕКТУВАННЯ ПЕРЕТВОРЮВАЧІВ КОДІВ

05.13.05.—Системи автоматизації прое
05.13.08.—Обчислювальні машини, системи
елементи і пристрої обчислювальної те
та систем керування

АВТОРЕФЕРАТ

дисертації на здобуття наукового ступеня
кандидата технічних наук

Харків — 1997

ЛННБ України ім.В.Стефаника
00729216 (R)

Дисертацією є рукопис.

Робота виконана на кафедрі конструювання електронних обчислювальних машин Харківського державного технічного університету радіоелектроніки.

Науковий керівник :
доктор технічних наук, професор Аліпов Микола Васильович.

Офіційні опоненти :

1. Доктор технічних наук, професор БІБЕРМАН ЛЕОНІД ІСЕРОВИЧ.

2. Кандидат технічних наук, доцент ТИМЧЕНКО ОЛЕКСАНДР ІВАНОВИЧ .

Провідна організація : Ужгородський державний університет Міністерство освіти України.

Захист дисертації відбудеться "27" травня 1997 року на засіданні спеціалізованої вченої ради К 02.25.03 в Харківському державному технічному університеті радіоелектроніки за адресою : 310726, м.Харків, проспект Леніна, 14.

З дисертацією можна ознайомитися у бібліотеці Харківського державного технічного унівеситету радіоелектроніки за адресою: 310726, м.Харків, проспект Леніна, 14.

Автореферат розісланий "24" квітня 1997 р.

Вчений секретар
спеціалізованої вченої ради *В.В.БЕЗКОРОВАЙНИЙ*

АВ 37727

ЗАГАЛЬНА ХАРАКТЕРИСТИКА РОБОТИ

Актуальність теми. Постійне зростання вимог до техніко-економічних характеристик апаратури призводить до необхідності удосконалення відомих та розробки нових обчислювальних засобів, нових алгоритмів обробки і перетворення інформації.

Велике значення у цьому напрямі має розробка систем автоматизованого проектування (САПР), за допомогою яких значно прискорюється процес проектування та розробки нових обчислювальних засобів, зокрема великих інтегральних схем (ВІС) та надвеликих інтегральних схем (НВІС).

Усе перелічене обумовило бурхливий розвиток САПР, більшість з яких призначена для автоматизації конструкторського та технологічного етапів проектування. Інші етапи проектування обчислювальних засобів (системний, функціональний та логічний) гірше піддаються автоматизації проектування внаслідок великої складності схем або відсутності ефективних алгоритмів проектування.

Удосконалення програм САПР або їх більш вузька спеціалізація (для проектування нових перспективних класів схем) може значно покращати показники їх якості. Прикладом таких перспективних схем є перетворювачі кодів.

Немає ращії збільшувати обчислювальну потужність кристала НВІС, коли немає можливості достатньо швидко вводити та виводити інформацію. Тому виникає проблема розробки САПР перетворювачів кодів з метою прискорення обчислень і проектування схем з кращими системними показниками, що дозволить істотно підвищити швидкодію пристроїв введення-виведення інформації, спеціалізованих кристалів НВІС та зменшити час

ЛНБ ім. В. С. Стефаника
АН України

їх проектування.

Об'єктом дослідження є перетворювачі кодів за методом накопичування еквівалентів, алгоритми проектування і контролю функціонування основних вузлів перетворювачів.

Метою дисертаційної роботи є створення оригінального схемотехнічного забезпечення, алгоритмів проектування, а також елементів САПР для системного і функціонального етапів проектування перетворювачів кодів за методом накопичування еквівалентів, з'ясування основних недоліків і переваг цього методу.

Для досягнення поставленої мети вирішуються такі задачі:

1. Здійснення аналітичного огляду існуючих методів перетворення кодів для їх порівняння і вибору найбільш гнучкого та достатньо швидкодійного методу перетворення.

2. Розробка оригінального схемотехнічного забезпечення для проектування багатокрокових перетворювачів кодів за методом накопичування еквівалентів.

3. Розробка алгоритмів для обчислення головних параметрів перетворювачів кодів та методик проектування основних вузлів цих перетворювачів.

4. Розробка елементів САПР у вигляді пакету прикладних програм для автоматизованого проектування перетворювачів кодів.

5. Аналіз деяких методів контролю основних вузлів і операцій перетворювачів кодів, реалізованих із застосуванням оригінальних швидкодіючих цифрових компресорів (компакторів) двійкових кодів.

Методи дослідження базуються на основних положеннях теорії чисел, комбінаторики, булевої алгебри та теорії скін-

ченних автоматів.

Наукова новизна роботи полягає в тому, що:

1. Розроблено оригінальне схемотехнічне забезпечення для проектування двокрокового, трикрокового та чотирикрокового перетворювачів кодів, на два з яких одержано авторські свідоцтва, а на третій подано заяву про одержання патенту України.

2. Розроблено алгоритм вибору оптимальних значень кроків перетворення із урахуванням основного критерію (швидкодії) та додаткового (апаратних витрат).

3. Розроблено алгоритм побудови таблиць закону функціонування формувачів еквівалентів послідовного і паралельного типів, виконані оцінки їх складності.

4. Запропоновано п'ять типів схемної організації формувачів еквівалентів (ФЕ) та розроблена методика оцінювання їх апаратних витрат.

5. Реалізовано пакет прикладних програм "CVR-CAD" для автоматизованого проектування перетворювачів кодів за методом накопичування еквівалентів.

6. Розглянуто деякі засоби контролю функціонування перетворювачів кодів за допомогою кодів Бергера і контролю за модулем три. Проаналізовано також реалізацію кодерів та декодерів коду Бергера, побудованих із застосуванням оригінальних цифрових компресорів, на три з яких одержано авторські свідоцтва про винахід.

Практична цінність дисертації полягає у доведенні теоретичних результатів до конкретних інженерних методик та алгоритмів, у розробці оригінального схемотехнічного забезпеченя для проектування перетворювачів кодів за методом нако-

пичування еквівалентів, захищеного авторськими свідоцтвами та патентами, у створенні підсистеми САПР для системного проектування перетворювачів кодів.

Достовірність теоретичних результатів підтверджується експертизою робіт, в яких вони опубліковані, численними експериментами з програмами пакету "CVR-CAD", а також авторськими свідоцтвами та патентом.

Реалізація результатів роботи. Результати досліджень по темі дисертації використані при створенні пакету прикладних програм "CVR-CAD". Робота виконана згідно плану держбюджетної теми N 389-1 ''Високопродуктивні паралельні обчислювальні системи реального часу по обробці багатовимірних сигналів'' Міністерства освіти України. Результати впроваджено в учбовий процес за курсом "Моделювання цифрових керуючих систем" і в дипломне проектування за спеціальністю "Конструювання та технологія електронних обчислювальних засобів" в Харківському державному технічному університеті радіоелектроніки.

Основні результати роботи були впроваджені в розробленій і виготовленій апаратурі ЕАТС ''Донець'' на Харківському державному приладобудівному заводі ім. Т.Г. Шевченко в 1996 році і використовувались також при розробці та проектуванні програмно-технічного комплексу для створення електронних карт систем життєзабезпечення району, міста, області в Науково-дослідному інституті управління і виробництва (НДІАВ) Міністерства машинобудування, військово-промислового комплексу і конверсії України в 1995 році (м. Харків).

Апробація роботи та публікації. Головні висновки проведених досліджень доповідались і обговорювались на Міжна-

родній конференції "Теорія і техніка передачі, прийому та обробки інформації" (Туапсе, 1985 р.), на Всесоюзній школі-семінарі "Біоніка інтелекту" (Харків, 1987 р.), на Всесоюзній школі-семінарі "Психологічна біоніка" (Харків, 1988 р.), на IV республіканській науково-технічній конференції "Шляхи підвищення ефективності засобів зв'язку, радіотехнічного забезпечення і АСУ ВПС" (Харків,1989 р.). По темі дисертації в наявності є 17 публікацій.

Структура і об'єм дисертації. Дисертаційна робота складається з вступу, чотирьох розділів, закінчення, списку використаної літератури з 102 найменувань. Загальний обсяг роботи складає 171 машинописну сторінку, 37 малюнків та 47 таблиць. В роботі є три додатки обсягом 27 машинописних сторінок.

ЗМІСТ РОБОТИ

У вступі обгрунтовано актуальність теми, стисло освітлено предмет дослідження,дано загальну характеристику роботи. Сформульовано мету дослідження; задачі, що розв'язуються, основні положення, що виносяться на захист, наукову новизну та практичну цінність результатів.

У першому розділі виконано аналітичний огляд існуючих систем автоматизованного проектування (САПР) та методів перетворення кодів. Розглянуто головні методи перетворення кодів: програмний метод, метод долічення, метод асуву та корекції, метод накопичування еквівалентів та виконано їх порівняльний аналіз по швидкодії та типу основних вузлів схеми.

В результаті огляду існуючих методів перетворення кодів та САПР виділено такі недоліки:

1. Відсутні алгоритми проектування та схемотехнічне забезпечення для САПР швидкодіючих перетворювачів кодів за методом накопичування еквівалентів, перевагою яких є можливість змінювати співвідношення між швидкодією та апаратними витратами.

2. Бракує чітких алгоритмів для вибору значень кроків перетворення, оцінок середнього та максимального чисел тактів перетворення; алгоритмів побудови законів функціонування формувачів еквівалентів для багатокрокових перетворювачів кодів.

3. Не розглянуті методи і засоби для контролю функціонування перетворювачів кодів за методом накопичування еквівалентів.

Усе перелічене обумовило такі задачі дослідження.

Актуальною є задача розробки оригінальних схемотехнічних рішень перетворювачів кодів за методом накопичування еквівалентів, за допомогою яких можливо підвищувати швидкодію перетворення або зменшувати апаратні витрати.

Потрібна також розробка методів і алгоритмів для оптимізації основних параметрів перетворювачів кодів; проектування головних нестандартних вузлів (формувача еквівалентів, кодового шифратора, дешифраторів перевищення) та програмних засобів (елементів САПР) для їх виконання.

Необхідною є розробка та оцінка методів і засобів для контролю функціонування перетворювачів кодів за методом накопичування еквівалентів стосовно до розроблених схемотехнічних рішень.

У другому розділі наведено розв'язання задачі розробки оригінальних схемотехнічних рішень двокрокового, трикрокового та чотирикрокового перетворювачів кодів за методом накопичування еквівалентів.

Однокроковий перетворювач кодів потребує для перетворення дробу $N_1 = K-1$ тактів перетворення, де K - основа системи вчислення.

Цей перетворювач містить у схемі лічильники для запису K-ічних кодів перетворюваних чисел, регістри стану, дешифратори ненульового стану лічильників, формувач еквівалентів, накопичуючий суматор та керуючий автомат.

Перетворення K-ічного коду дробу відбувається завдяки паралельному у часі зменшенню станів лічильників на одиницю за кожний такт та додаванню належного еквіваленту у накопичуючий суматор.

При підвищених вимогах до швидкодії треба використовувати схемні рішення для двокрокового та трикрокового перетворювачів кодів. Перетворення кодів за допомогою двокрокового перетворювача здійснюється протягом двох етапів. На першому етапі декілька тактів стан лічильників зменшується на значення другого кроку a (a>1), а потім, коли стан усіх лічильників стає меншим a, переходять на крок "одиниця". Доведено, що найбільша кількість тактів перетворення двокрокового перетворювача не перебільшує значення

$$N_2^{др} =] (K-1)/a [+ a - 1, \qquad (1)$$

де] x [- квадратні дужки, що визначають цілу частину від числа x.

Для трикрокового перетворювача кодів з трьома кроками перетворення (1,a,b), причому 1<a<b, a<b<K-1, і послідовною стратегією використання кроків перетворення (спочатку третій крок перетворення b, потім другий a і, нарешті, одиниця) доведено, що перетворення дробу відбувається не більше, ніж за

$$N_{3}^{ДР} =] (K-1)/b [+] (b-1)/a [+ a - 1 \qquad (2)$$

тактів. На двокроковий і трикроковий перетворювачі кодів одержано два свідоцтва на винаходи (а.с. 1647908 НОЗМ 7/12 та а.с. 1783618 НОЗМ 7/12).

Недоліком запропонованих схемних рішень є зростання числа регістрів стану, кількості груп дешифраторів перевищення та числа логічних схем для опитування регістрів стану, ускладнення формувача еквівалентів разом із зростанням кількості кроків перетворення, що пов'язано головним чином з використанням лічильників в операційній частині перетворювача кодів та організацією її у вигляді операційного автомату типу I (з індивідуальним закріпленням мікрооперацій).

Для ліквідації цього недоліку в чотирикроковому перетворювачі кодів з послідовним використанням кроків перетворення замість лічильників використовуються регістри зсуву, а у операційній частині операційний автомат типу М. Це дало змогу при тій же швидкодії, що і у трикрокового перетворювача, значно зменшити апаратні витрати.

На чотирикроковий перетворювач кодів подано заяву про одержання патенту України (заява 96010262 НОЗМ 7/12) на винахід з пріоритетом від 23.01.96.

У другому розділі розглянуто також дві стратегії вико-

ристання кроків перетворення : послідовну та паралельну. При паралельній стратегії у різних розрядах перетворюваного числа одночасно використовуються різні кроки перетворення. Паралельна стратегія забезпечує меншу кількість тактів перетворення порівняльно з послідовною стратегією.

Розглянуто також особливості побудови та перетворення кодів для паралельної стратегії. Доведено, що кількість кроків перетворення для паралельної стратегії можна визначити за допомогою методу моделювання перетворення. Проаналізовано складність головного вузла перетворювачів кодів - формувача еквівалентів - в залежності від типу стратегії, кількості розрядів цілих чисел k, розрядів дробу p та кількості кроків перетворення m.

При послідовній стратегії для цілих чисел і дробів одержані відповідно такі вирази (3), (4) для кількості рядків у таблицях формувачів еквівалентів (ФЕ)

$$N^{ц}_{посл} = m\,(2^{k-1}-1) + 1 \qquad (3)$$

та

$$N^{др}_{посл} = m\,(2^{p}-1) + 1\ . \qquad (4)$$

Для паралельної стратегії одержані формули

$$N^{ц}_{пар} = (m+1)^{k-1} \qquad (5)$$

та

$$N^{др}_{пар} = (m+1)^{p}\ . \qquad (6)$$

Розраховано та приведено порівняльні таблиці кількості рядків у формувачах еквівалентів в залежності від розряднос-

ті перетворених кодів для послідовної та паралельної стратегій.

У третьому розділі наведено рішення задачі розробки алгоритмічного проектування для підсистем САПР багатокрокових перетворювачів кодів за методом накопичування еквівалентів.

Розроблена та запропонована узагальнена модель для визначення максимальної кількості тактів перетворення перетворювача кодів (ПК) в послідовним використанням кроків перетворення.

Так для чотирикрокового ПК послідовного типу маємо таку модель

$$N_4^{др} = \left\lfloor \frac{K-1}{c} \right\rfloor + \left\lfloor \frac{c-1}{b} \right\rfloor + \left\lfloor \frac{b-1}{a} \right\rfloor + a - 1 ; \qquad (7)$$

для п'ятикрокового

$$N_5^{др} = \left\lfloor \frac{K-1}{d} \right\rfloor + \left\lfloor \frac{d-1}{c} \right\rfloor + \left\lfloor \frac{c-1}{b} \right\rfloor + \left\lfloor \frac{b-1}{a} \right\rfloor + a - 1. \qquad (8)$$

Найбільша довжина виразу відповідає моделі з (К-1) кроками перетворення і містить у собі (К-2) квадратні дужки. Тому при поступовому збільшенні кількості кроків від одного до К-1 спочатку значення N_i (i - кількість кроків перетворення) зменшується, а потім починає зростати.

Доведено, що кількість обрахувань для обчислення N_i при усіх можливих співвідношеннях значень кроків перетворення відповідає числам трикутника Паскаля у прямокутному вигляді

(при умові n - K-2; а k - 1-1).

Далі у цьому розділі вироблені порівняння послідовної та паралельної стратегій використання кроків перетворення і доведено, що ПК з паралельною стратегією при i-K-1 забезпечують перетворення чисел за один такт.

Це означає, що при умові i-K-1 метод накопичування еквівалентів з паралельною стратегією переходить у метод прямого табличного перетворення з усіма його недоліками. На грунті проведених досліджень запропоновано алгоритм вибору оптимальних значень кроків перетворення із урахуванням двох критеріїв : швидкодії та апаратних витрат. Розглянуто також алгоритм побудови таблиць законів функціонування ФЕ та статистичного розподілу множини перетворюваних чисел за значенням тактів перетворення. На підставі алгоритму синтезу таблиць закону функціонування ФЕ та моделей перетворення чисел розроблено пакет програм САПР для статистичного аналізу перетворення чисел у двокроковому ПК.

Запропоновано і проаналізовано переваги і недоліки п'яти можливих схемних структур організації формувачів еквівалентів. Перша структура базується на послідовному з'єднанні дешифраторів та шифратора. Завдяки цьому пріоритетний шифратор формувача перетворюється у класичний і має тільки одну збуджену шину на вході.

Друга структура формувача еквівалентів складається з комутатора кодів регістрів стану, дешифратора вихідних змінних комутатора, шифратора та комбінаційного всувача. Завдяки присутності у схемі всувача спрощується схема шифратора, який формує двійкові коди тільки для половини таблиці формувача у двокроковому ПК, або для третини таблиці - у трикро-

ковому ПК. Решта кодів створюється за допомогою зсуву на потрібну кількість розрядів.

У третій структурі формувача еквівалентів (ФЕ), на відміну від другої, відсутній дешифратор вихідних змінних комутатора, тому при реалізації вихідних функцій шифратора використовуються як прямі, так і інверсні значення вихідних змінних комутатора. Запропонована схема зсувача комбінаційного типу на мультиплексорах.

Четверта структура ФЕ містить у собі спрощений шифратор (для і-тої частини таблиці) та зсувач.

П'ята структура ФЕ складається тільки з одного шифратора кодів (для повної таблиці ФЕ) і є по суті матрицею логічних елементів.

На прикладі чотирирозрядного двокрокового ПК із десяткової системи вчислення у двійкову розглянуто визначення та побудову таблиць ФЕ і вихідних функцій шифратора. Розглянутими прикладами доведено, що друга і третя структури ФЕ (особливо третя) мають малі апаратні витрати.

Хоча у цих структурах присутній зсувач кодів, що збільшує апаратні витрати, але завдяки побудові шифратора кодів для і-тої частини таблиці ФЕ, маємо суттєве зменшення витрат.

Далі у розділі наведена кількісна оцінка числа корпусів і логічних схем для побудови ФЕ і ПК.

Пакет "CVR-CAD" має такі програмні блоки : введення і аналізу початкових данних, побудови таблиці ФЕ, статистичного аналізу перетворюваних чисел, вибору оптимальних значень кроків перетворення. Пакет програм реалізовано на мові Pascal для IBM PC.

У четвертому розділі розглянуті методи і засоби для контролю функціонування ПК за методом накопичування еквівалентів. Запропоновано здійснення контролю вхідних та вихідних кодів ПК за допомогою кодів Бергера, а контроль основної операції перетворення - додавання еквівалентів - за допомогою контролю за модулем три.

Розглянуто структуру і організацію функціонування двох класів схем : кодерів та декодерів коду Бергера, побудованих з використанням спеціальних оригінальних вузлів - цифрових компресорів.

Цифрові компресори реалізовано на базі регистрів зсуву, здатних працювати також у режимі компресії двійкових кодів. На дві такі схеми одержано свідоцтва про винахід (а.с. 1439682 G11C 19/00,а.с. 1642527 G11C 19/00), на третю - патент Російської Федерації (патент 2022372 G11C 19/00).

Перевагою цифрового компресора по а.с. 1439682 є можливість виконання ущільнення двійкового коду протягом одного такту. Внаслідок цього кодери та декодери кодів Бергера з використанням цієї схеми кращі, ніж інші, за критерієм добутку кількості тактів кодування (декодування) на апаратні витрати.

Побудована також порівняльна таблиця значень цього критерію для схем декодерів, виконаних на підставі різних методів. Розглянута побудова схеми контролю за модулем три операції додавання еквівалентів та проаналізовані апаратні витрати на реалізацію цієї схеми контролю з використанням сучасної елементної бази.

Розглянута також методика контролю перетворення методом М-версійного (М-2) проектування.

При застосуванні цього методу контроль перетворення здійснюється за допомогою двох взаємодоповнюючих ПК : ПК К-ічного коду у двійковий код та ПК двійкового коду у К-ічний код.

Співпадання вхідного коду першого ПК з вихідним кодом другого є свідоцтвом про відсутність помилки.

ДОДАТОК 1. Містить розгляд структурної організації та функціонування чотирикрокового перетворювача К-ічного коду у двійковий код, реалізованого на регистрах зсуву.

ДОДАТОК 2. Містить тексти головних програм пакету "CVR-CAD"

ДОДАТОК 3. Містить акти та справки про впровадження результатів дисертаційної роботи.

ОСНОВНІ РЕЗУЛЬТАТИ РОБОТИ ТА ВИСНОВКИ

1. Розроблено схемотехнічне забезпечення для проектування двокрокового, трикрокового і чотирикрокового перетворювачів кодів по методу накопичування еквівалентів, на які одержано два свідоцтва про винаходи (а.с. 1647908 НОЗМ 7/12, а.с. 1783618 НОЗМ 7/12) та подано заяву на видачу патенту України (позитивне рішення НДЦПЕ від 5.03.1997 р.).

2. Одержано аналітичні вирази для максимальної кількості тактів перетворення дробів багатокроковими ПК з послідовною стратегією використання кроків перетворення у вигляді (9) - (12)

$$N_1^{др} = K-1; \qquad (9)$$

$$N_2^{др} =]K-1)/a[+ a - 1; \qquad (10)$$

$$N_3^{др} =](K-1)/b[+](b-1)/a[+ a - 1; \quad (11)$$

$$N_4^{др} =](K-1)/c[+](c-1)/b[+](b-1)/a[+ a - 1. \quad (12)$$

3. Доведено, що кількість рядків у таблицях формувачів еквівалентів ПК при перетворенні k-розрядних цілих чисел та p-розрядних дробів при послідовній стратегії дорівнює відповідно (13), (14)

$$N^{ц}_{посл} = m\,(2^{k-1}-1)+1 \quad (13)$$

та

$$N^{др}_{посл} = m\,(2^{p}-1)+1, \quad (14)$$

а при паралельній стратегії використання кроків перетворення описується виразами (15), (16)

$$N^{ц}_{пар} = (m+1)^{k-1} \quad (15)$$

та

$$N^{др}_{пар} = (m+1)^{p}, \quad (16)$$

де m - кількість різних кроків перетворення.

4. Розроблено алгоритмічне забезпечення для вибору оптимальних значень кроків перетворення, статистичного аналізу, оцінки середньої кількості кроків перетворення та побудови (синтезу) таблиць формувачів еквівалентів.

5. Розроблено схемотехнічне забезпечення для контролю функціонування ПК за методом накопичування еквівалентів, реалізоване з використанням оригінальних схем - компресорів двійкових кодів, на три з яких одержано два свідоцтва на винаходи (а.с. 1439682 G11C 19/00, а.с. 1642527 G11C 19/00) та патент Російської Федерації (патент 2022372 G11C 19/00).

6. Розроблено пакет прикладних програм "CVR-CAD" для

автоматизованого проектування перетворювачів кодів за методом накопичування еквівалентів.

Перелічені вище основні результати роботи підтверджують те, що в роботі створено схемотехнічні, алгоритмічні, теоретичні та програмні основи побудови ефективних систем САПР для проектування перетворювачів кодів за методом накопичування еквівалентів.

Основний зміст дисертації опубліковано в таких роботах:

1. А.С. 1439682 5 G11C 19/00. Регистр сдвига. / Какурин Н.Я., Лобода В.Г., Хаханов В.И., Макаренко А.Н. // Открытия. Изобретения. 1988, N 43, с.250.

2. Макаренко А.Н. Регистры для сжатия двоичных кодовых комбинаций // АСУ и приборы автоматики. -Изд-во Харьк. ун-та. -1989. -Вып.89. -С.32-38.

3. Макаренко А.Н. Алгоритмизация разбиений преобразователей кодов // АСУ и приборы автоматики. -Изд-во Харьк. ун-та. -1990. -Вып.94. -С.103-107.

4. Какурин Н.Я., Лобода В.Г., Макаренко А.Н. Быстродействующие регистры компакторы / Тезисы докладов IV республиканской научно-технической конференции "Пути повышения эффективности средств связи, радиотехнического обеспечения и АСУ ВВС", Харьков, 1990, с.45-47.

5. А.С. 1642527 5 G11C 19/00. Регистр сдвига / Какурин Н.Я., Макаренко А.Н., Ефименко Л.Г., Рустинов В.А. // Открытия. Изобретения. 1991. N 14, с.206.

6. А.С. 1647908 5 H03M 7/12. Преобразователь двоично-К-ичного кода в двоичный код / Какурин Н.Я., Кирьяков

Ю.К., Макаренко А.Н. // Открытия. Изобретения. 1991. N 17, с.262-263.

7. Макаренко А.Н. Устройство кодирования кодов Бергера // АСУ и приборы автоматики. -Изд-во Харьк. ун-та. -1992. -Вып.97. -С.69-73.

8. А.С. 1783618 5 НОЗМ 7/12. Преобразователь двоично-К-ичного кода в двоичный код / Какурин Н.Я., Макаренко А.Н., Исхаков Д.Ю., Толмацкий В.А. // Открытия. Изобретения. 1992. N 47, с.218.

9. Макаренко А.Н. Быстродействующий преобразователь двоично-К-ичного кода в двоичный код // АСУ и приборы автоматики. -Изд-во Харьк. ун-та. -1993. -Вып.99. -С.47-55.

10. Патент Российской Федерации 2022372 G11C 19/00. Реверсивный регистр сдвига / Какурин Н.Я., Макаренко А.Н., Кузьмичёв Е.М., Штефан И.В. // Открытия. Изобретения. 1994. N 20, с.146.

11. Исхаков Д.Ю., Макаренко А.Н. Синтез основных узлов преобразователей кодов по методу накопления эквивалентов. -Деп. в ГНТБ Украины, N 74 - Ук.94, -12 с.

12. Макаренко А.Н., Исхаков Д.Ю. О способах построения формирователей эквивалентов в преобразователях кодов одного класса. -Деп. в ГНТБ Украины, N 530 - Ук.95, -17 с.

13. Алипов Н.В., Макаренко А.Н. Алгоритмическое и схемотехническое обеспечение проектирования преобразователей кодов / Тезисы докладов международной конференции "Теория и техника передачи, приёма и обработки информации", Туапсе, 1995, с.143.

14. Макаренко А.Н. Алгоритмизация выбора величины шагов преобразования в преобразователях кодов по методу накопления

эквивалентов. -Деп. В ГНТБ Украины, N 17 - Ук.96, -12 с.

15. Макаренко А.Н.,Алипов Н.В. Сравнительная оценка преобразователей кодов различных типов. -Деп.в ГНТБ Украины, N 18 -Ук.96, -18 с.

16. Макаренко А.Н. Быстродействующий компактор двоичных кодов // Материалы Всесоюзной школы-семинара "Психологическая бионика". Харьков, 1988, с.54-55.

17. Бондарев В.М., Макаренко А.Н. Цифровые компакторы информации // Материалы Всесоюзной школы-семинара "Бионика интеллекта". Харьков, 1987, с.55.

Особиста участь автора в отриманні наукових результатів.

Дисертаційна робота є підсумком особистої роботи автора. В роботах, написаних у співавторстві, дисертантові належить: [1-5,10,17] - аналіз засобів підвищення швидкодії регістрів-компресорів двійкових кодів у режимі ущільнення і організація реверсивного режиму ущільнення одиниць та нулів; [6] - засіб підвищення швидкодії пертворювача кодів шляхом використання другого кроку; [8,12] - принцип побудови і організація формувачів еквівалентів на основі комбінаційних всувачів; [11] - метод синтезу нестандартних вузлів ПК з урахуванням двох критеріїв - швидкодії та апаратних витрат; [13] - аналіз схемотехнічного забезпечення та алгоритмів для проектування ПК; [15] - формули для підрахунку кількості тактів додавання у функції від кількості розрядів.

АННОТАЦИЯ

Макаренко А.Н. Алгоритмическое и схемотехническое обеспечение проектирования преобразователей кодов.

Диссертация является рукописью, представленной на соискание ученой степени кандидата технических наук по специальности 05.13.05- Системы автоматизации проектирования и по специальности 05.13.08 - Вычислительные машины, системы и сети; элементы и устройства вычислительной техники и систем управления. Харьковский государственный технический университет радиоэлектроники, 1997.

В диссертационной работе рассматриваются вопросы создания алгоритмического и схемотехнического обеспечения для проектирования преобразователей кодов по методу накопления эквивалентов. Предложены оригинальные схемные решения, на которые получены авторские свидетельства и патенты. Разработан пакет прикладных программ "CVR-CAD".

S U M M A R Y

Makarenko A.N. Algorithmical and schematechnical tools of designing code convertors.

The thesis is the manuscript submitted to be awarded a scientific degree of the candidate of technical sciences on speciality 05.13.05 -"Computer aided design" and on speciality 05.13.08 -"Computers, systems and networks, parts and devices of computer's equipment and control systems". Kharkov State Technical University of Radioelectronics. Kharkov,1996.

In the thesis there are algorithmical and schematechnical tools of designing code convertors by equivalents accumulation method. Original schematechnical

decisions, on which the author has got certificate inventions and a patent, are offered. The pack of applied programs ''CVR-CAD'' has been developed.

Ключові слова : алгоритм, алгоритмічне проектування, крок перетворення, схемотехнічне забезпечення, програма, система автоматизованого проектування (САПР), перетворювач кодів, формувач эквивалентів.

Підписано до друку I6.04.97 р.
Об'єм I,25 др. а. Обл.-друк. а - I
Формат паперу 60x84 I/I6
Тираж I00 пр. Зам. 22/83
Друкарня ХВУ, м. Свободи, 6

435488

AB 37.727